

File 347:JAPIO Oct/1976-2001/Nov(Updated 020305)

(c) 2002 JPO & JAPIO

*File 347: JAPIO data problems with year 2000 records are now fixed.
Alerts have been run. See HELP NEWS 347 for details.

2/5/1

DIALOG(R)File 347:JAPIO

(c) 2002 JPO & JAPIO. All rts. reserv.

03274632 **Image available**
DYNAMIC VIDEO RANDOM ACCESS MEMORY

PUB. NO.: 02-250132 [JP 2250132 A]
PUBLISHED: October 05, 1990 (19901005)
INVENTOR(s): ROI EDOWAADO HAARIN
RICHIYAADO AASAA HERINTON
APPLICANT(s): MATSUSHITA ELECTRIC IND CO LTD [000582] (A Japanese Company
or Corporation), JP (Japan)
APPL. NO.: 01-310233 [JP 89310233]
FILED: November 29, 1989 (19891129)
PRIORITY: 7-277,637 [US 277637-1988], US (United States of America),
November 29, 1988 (19881129)
7-278,333 [US 278333-1988], US (United States of America),
November 29, 1988 (19881129)
7-277,687 [US 277687-1988], US (United States of America),
November 29, 1988 (19881129)
INTL CLASS: [5] G06F-012/00; G06F-003/153; G06F-015/64; G11C-011/401
JAPIO CLASS: 45.2 (INFORMATION PROCESSING -- Memory Units); 45.3
(INFORMATION PROCESSING -- Input Output Units); 45.4
(INFORMATION PROCESSING -- Computer Applications)
JAPIO KEYWORD: R060 (MACHINERY -- Automatic Design)
JOURNAL: Section: P, Section No. 1147, Vol. 14, No. 581, Pg. 104,
December 26, 1990 (19901226)

ABSTRACT

PURPOSE: To obtain a hardware required for changing video information by providing an architecture for bringing a vector to address designation, provided with a memory, an address designating means, and a control means connected to a data means, for changing the stored video information.

CONSTITUTION: Information stored in a video RAM 10 is sent successively to a color map circuit 40, and displayed on a monitor 20. A serial port control part 60 controls a transfer of the information stored in the video RAM 10 to the color map circuit 40. In the case of changing this information, a suitable instruction is sent to an interface circuit 160 from a CPU, etc., and transmitted into a graphic hardware circuit 110. A random port control part 120 controls a change of the information stored in the video RAM 10. In such a way, an image on the color monitor 20 of the video RAM can be changed.

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

平2-250132

⑮ Int. Cl.⁵

識別記号

庁内整理番号

⑬ 公開 平成2年(1990)10月5日

G 06 F 12/00
3/153
15/64
G 11 C 11/401

5 8 3
3 3 6 B
4 5 0 C

8841-5B
8323-5B
8419-5B

8522-5B G 11 C 11/34 3 7 1 H

審査請求 未請求 請求項の数 17 (全 37 頁)

⑭ 発明の名称 ダイナミックビデオランダムアクセスメモリ

⑯ 特 願 平1-310233

⑰ 出 願 平1(1989)11月29日

優先権主張 ⑱ 1988年11月29日 ⑲ 米国(U S) ⑳ 277,637

㉑ 1988年11月29日 ㉒ 米国(U S) ㉓ 278,333

㉔ 1988年11月29日 ㉕ 米国(U S) ㉖ 277,687

⑳ 発 明 者 ロイ エドワード ハ アメリカ合衆国 コロラド 80525 フォート コリン
ーリン ズ, フォーボロー コート 2925

㉑ 発 明 者 リチャード アーサー アメリカ合衆国 コロラド 80525 フォート コリン
ヘリントン ズ, ワビテイ ロード 2531

㉒ 出 願 人 松下電器産業株式会社 大阪府門真市大字門真1006番地

㉓ 代 理 人 弁理士 山本 秀策

明 細 書

1. 発明の名称

ダイナミックビデオランダムアクセスメモリ

2. 特許請求の範囲

1. 集積回路チップ上に配され、バスに接続されたダイナミックビデオランダムアクセスメモリに於いて、

それぞれが所定のページコラム位置及びページ ROW 位置を有するページであって、該ページ中のベクタ ROW 位置によって規定される複数の水平ベクタ及び該ページ中のベクタコラムによって規定される複数の垂直ベクタをそれぞれが有している複数の $n \times m$ ビットのページを備え、ビデオ情報を格納するためのメモリ、

変更すべき該メモリのページ中の水平ベクタ又は垂直ベクタのアドレスであって、

(a) 該アドレス指定されたページのページ ROW を規定するための第1の複数ビット、

(b) 該アドレス指定されたページのページ ROW を規定するための第2の複数ビット、及び

(c) 該アドレス指定されたページのアドレス指定されたベクタを規定するための第3の複数ビット

を有するアドレスを受け取るための、該バスに接続されたアドレス指定手段、

ソースデータを受け取るための、該バスに接続されたデータ手段、並びに

該メモリ中のアドレス指定されたベクタに於いて該ソースデータを用いて、格納されているビデオ情報を変更するための、該メモリ、該アドレス指定手段、及び該データ手段に接続されている制御手段

を備えた、ベクタをアドレス指定するためのアーキテクチャを有するダイナミックビデオランダムアクセスメモリ。

2. バスに接続されたダイナミックビデオランダムアクセスメモリに於いて、

集積回路チップ、

複数の水平ベクタ及び垂直ベクタをそれぞれが有している複数の $n \times m$ ビットのページを備え、

ビデオ情報を格納するための、該チップ上のメモリ、

該メモリの該ページ中の水平ベクタ又は垂直ベクタのアドレスであって、

(a) アドレス指定されたページを規定するための第1の複数ビット、及び

(b) 該アドレス指定されたページ内の水平ベクタ又は垂直ベクタを規定するための第2の複数ビット

を有するアドレスを受け取るための、該チップ上に配され、該バスに接続されたアドレス指定手段、並びに

該メモリ中のアドレス指定されたベクタ位置に於いて該ソースデータを用いて、格納されているビデオ情報を変更するための、該メモリ、該アドレス指定手段、及び該データ手段に接続されている、該チップ上の制御手段

を備えているダイナミックビデオランダムアクセスメモリ。

3. バスに接続されたダイナミックビデオラン

ダムアクセスメモリに於いて、

ベクタアドレス及びイメージアドレスのどちらかによってアドレス指定され、ビデオ情報を格納するためのメモリであって、

(a) 該ベクタアドレスモードに於いては、それぞれが該メモリ中に所定のページコラム位置及びページロウ位置を有し、該ページ中のベクタロウによって規定される複数の水平ベクタ及び該ページ中のベクタコラムによって規定される複数の垂直ベクタを含む複数のページを備え、

(b) 該イメージアドレスモードに於いては、それぞれが複数のワードを含む複数の走査線を備える

メモリ、

該メモリ中の変更すべき水平ベクタ又は垂直ベクタのための、ベクタモードアドレスであって、

(a) 該アドレス指定されたページのページロウを規定するための第1の複数ビット、

(b) 該アドレス指定されたページのページコラムを規定するための第2の複数ビット、及び

-3-

(c) 該アドレス指定されたページのアドレス指定されたベクタを規定するための第3の複数ビット

を有するベクタモードアドレス、

該メモリ中の変更すべきワードのイメージモードアドレスであって、

(a) アドレス指定されている走査線を規定するための第1の複数ビット、及び

(b) 該アドレス指定された走査線中のアドレス指定されたワードを規定するための第2の複数ビット

を有するイメージモードアドレス

のどちらか、及びアドレスモードを受け取るための、該バスに接続されたアドレス指定手段、

該ベクタアドレス又はイメージアドレスに於いて格納されているビデオ情報を変更するために、ソースデータを受け取るための、該バスに接続されたデータ手段、並びに

イメージモードアドレス又はベクタモードアドレスに於いて該ソースデータを用いて、格納され

ているビデオ情報を変更するための、該メモリ、該アドレス指定手段、及び該データ手段に接続されている制御手段

を備えた、イメージモード及びベクタモードのどちらかに於いてアドレス指定するためのアーキテクチャを有するダイナミックビデオランダムアクセスメモリ。

4. 単一集積回路チップ上に配され、バスに接続されたダイナミックビデオランダムアクセスメモリに於いて、

該チップ上に配されたメモリであって、それぞれが該メモリの中の所定のページコラム位置及びページロウ位置を有する複数のページを備え、該ページのそれぞれが該ページ中のベクタロウ位置によって規定される複数の水平ベクタ及び該ページ中のベクタコラムによって規定される複数の垂直ベクタをそれぞれが有しているメモリ中にビデオ情報を格納する手段、

変更すべき該メモリのページ中のベクタのアドレスであって、

-5-

-6-

(a) 該アドレス指定されたページのページロウを規定するための第1の複数ビット、

(b) 該アドレス指定されたページのページコラムを規定するための第2の複数ビット、及び

(c) 該アドレス指定されたページのアドレス指定されたベクタを規定するための第3の複数ビット

を有するアドレスを、該バスを介して該チップ上で受け取る手段、

該アドレス指定されたページ中の該アドレス指定されたベクタに於いて、格納されているビデオ情報を変更するために、該バスを介して該チップ上でソースデータを受け取る手段、並びに

該メモリ中のアドレス指定されたベクタ位置に於いて、格納されているビデオ情報を該ソースデータを用いて、該チップ上で変更する手段を備えているダイナミックビデオランダムアクセスメモリ。

5. ランダムバス及びシリアルバスに接続されたダイナミックビデオランダムアクセスメモリに

於いて、

該ランダムバス及びシリアルバスに接続された単一集積回路チップ、

シリアルデータ転送モード、ベクタモード及びイメージモードに於いてアドレス指定される、ビデオ情報を格納するための、該チップ上に配されたメモリであって、

(a) 該ベクタアドレスモードに於いては、それぞれが複数の水平ベクタ及び垂直ベクタを有する複数のページを、

(b) 該イメージアドレスモードに於いては、それぞれが複数の走査ワードを有する複数の走査線を、

(c) 該シリアルデータ転送モードに於いては、それぞれが複数の部分走査ワードを有する複数の部分走査線を備えているメモリ、

動作モード、及び(1) 該メモリ中のベクタのためのベクタモードアドレス、(2) 該メモリ中の走査線のためのイメージモードアドレス、及び

-7-

-8-

(3) 該メモリ中の部分走査線のためのシリアルデータ転送アドレスを受け取るために、該ランダムバスに接続され、該チップ上に配されたアドレス指定手段、

イメージモードアドレス又はベクタモードアドレスのメモリ位置に於いて情報をアクセスするために、該メモリ及び該アドレス手段に接続され、該シリアルデータ転送アドレスに於いて該メモリからの読み出しを行うランダムポート制御手段、並びに

該シリアルデータ転送アドレスに於いて読み出された情報を該シリアルバスに供給するための、該メモリに接続されているシリアルポート制御手段

を備えているダイナミックビデオランダムアクセスメモリ。

6. 集積回路チップ上に配され、バスに接続された高速ダイナミックビデオランダムアクセスメモリに於いて、

情報を格納するためのメモリ、

該メモリ内の変更すべきベクタデータのアドレスを受け取るため、該バスに接続されたアドレス指定手段、

格納されている情報の該ベクタデータを変更するための論理操作を指定する描画ルールデータと、変更用に用いられる入力データであるソースデータとを受け取り、該ベクタデータ中の始まりビット位置データと終わりビット位置データとであるSTART位置及びSTOP位置を更に受け取るため、該バスに接続されたデータ手段、

格納すべき該ベクタデータを得るために、該メモリに接続され、描画ルールデータを受け取るための、該データ手段に接続されており、格納されている情報の該ベクタデータと該ソースデータとを該描画ルール論理操作に従って論理的に組み合わせて、格納すべき情報の該ベクタデータを変更する描画ルール手段、

該START位置及びSTOP位置を得るために、該データ手段に接続され、該ベクタデータのSTARTビット位置とSTOPビット位置との

-9-

-10-

間のみに於いて該論理組合せの該メモリへの書き込みを許容するために、該メモリに接続されているライトマスク手段、並びに

該描画ルール手段をアクティブにして、該論理組合せを実行し、該STARTビット位置とSTOPビット位置との間のみに於いて、該論理組合せから得られる情報の該変更されたベクタデータをメモリ内に書き込む制御手段

を備えた、該集積回路チップ上のアーキテクチャを有するダイナミックビデオランダムアクセスメモリ。

7. 前記アドレスが、前記メモリ中の格納されているイメージデータをアドレス指定するためのイメージアドレス、又は該メモリ中の格納されているベクタデータをアドレス指定するためのベクタアドレスを有しており、前記制御手段が、該イメージアドレス又は該ベクタアドレスに基づいて該メモリを別々にアクセスすることのできる請求項6に記載のダイナミックビデオランダムアクセスメモリ。

-11-

ティブにして、該論理組合せを実行するために、該メモリ、該アドレス手段、該データ手段及び該描画ルール手段に接続され、第3の時間間隔の間に、該論理的に組み合わせられた情報をメモリ内に書き込む制御手段

を備えた、該集積回路上のアーキテクチャを有するダイナミックビデオランダムアクセスメモリ。

9. 前記第1の時間間隔、第2の時間間隔及び第3の時間間隔が該バスを介して供給される単一のクロック信号から得られている請求項8に記載のダイナミックビデオランダムアクセスメモリ。

10. 前記アドレスが、前記メモリ中の格納されているイメージデータをアドレス指定するためのイメージアドレス、又は該メモリ中の格納されているベクタデータをアドレス指定するためのベクタアドレスを有しており、前記制御手段が、該イメージアドレス又は該ベクタアドレスに基づいて該メモリを別々にアクセスすることのできる請求項8に記載のダイナミックビデオランダムアクセスメモリ。

-13-

8. 集積回路チップ上に配され、バスに接続されたダイナミックビデオランダムアクセスメモリに於いて、

情報を格納するためのメモリ、

変更すべき該メモリのページ中の該格納された情報のベクタデータのアドレスを第1の時間間隔の間に受け取るための、該アドレスバスに接続されたアドレス指定手段、

該ベクタデータを変更するための論理操作を指定する描画ルールデータを、該第1の時間間隔の間に受け取る、該データバスに接続されたデータ手段、

格納すべき情報の該ベクタデータを得るために、該メモリに接続され、そして、描画ルールを受け取るために、該データ手段に接続されており、格納されている情報の該線と該ソースデータとを該描画ルール論理操作に従って第2の時間間隔の間に論理的に組み合わせて、格納すべき情報の該ベクタデータを変更する描画ルール手段、並びに

該描画ルール手段を該第2の時間間隔の間アク

-12-

11. 単一集積回路チップ上に配され、バスに接続されたダイナミックビデオランダムアクセスメモリに於いて、

第1の時間間隔の間に、

(a) メモリ中に格納されている変更すべきベクタデータのアドレス、

(b) 格納されているベクタデータを変更するための論理操作を含む描画ルール、並びに

(c) 始まりビット位置と終わりビット位置との間でベクタデータを変更するためのSTART位置及びSTOP位置をチップ上でバスから受け取る手段、

アドレス指定されたベクタデータと論理的に組み合わせられるべきソースデータを、第1の時間間隔の後の第2の時間間隔の間にチップ上でバスから受け取る手段、

受け取られた描画ルールデータの論理操作に基づいて、アドレス指定されたベクタデータをソースデータを用いて、第2の時間間隔の後の第3の時間間隔の間にチップ上で変更する手段、並びに

-14-

第 3 の時間間隔の後の第 4 の時間間隔の間に、START ビット位置及び STOP ビット位置の間に於いて、情報の変更されたベクタデータを用いて、メモリに対して書き込むを行う手段

を備えているダイナミックビデオランダムアクセスメモリ。

12. 単一クロックを運ぶバスに接続された、ダイナミックランダムアクセスメモリに於いて、

該メモリ中の格納されている情報のアドレスを受け取るための、該バスに接続されているアドレス指定手段、

ソースデータを受け取るための、該バスに接続されているソース手段、

該アドレス指定され格納されている情報を該メモリから該バスに供給するための、該メモリに接続された出力手段、

該アドレス指定され格納されている情報を得るために、該メモリに接続され、該ソースデータを得るために、該ソース手段に接続され、該アドレス指定され格納されている情報と該ソースデータ

とを組み合わせ、該格納されている情報を変更し、該変更された情報を該メモリ内に再び書き込む変更手段、並びに

該バスに接続され、また、該アドレス手段、該ソース手段、該出力手段、該変更手段、及び該メモリに接続され、該アドレス手段、該ソース手段、該出力手段、該変更手段、及び該メモリの動作を制御するために、該バスからの該単一クロックの受取にตอบสนองする制御手段

を備えたランダムポートを有するダイナミックランダムアクセスメモリ。

13. 前記制御手段がランダムステートマシンであり、前記バスが制御イネーブルを有し、該ランダムステートマシンが、前記単一クロックに基づいて、内部制御パルスの所定のシーケンスを発生するために、制御イネーブルのそれぞれ異なった組にตอบสนองする請求項 12 に記載のダイナミックランダムアクセスメモリ。

14. 前記変更手段が前記単一クロックにより動作する描画ルール手段を備え、該描画ルール手

-15-

段は、前記アドレス指定され格納されている情報を得るために、前記メモリに接続され、前記ソースデータを得るために、前記ソース手段に接続されており、該描画ルール手段は、該アドレス指定され格納されている情報と該ソースデータとを論理的に組み合わせ、その後、格納されている情報の該アドレスに於いて、前記論理組合せを該メモリに再び書き込む請求項 12 に記載のダイナミックランダムアクセスメモリ。

15. 前記単一クロックで動作する前記ソース手段が、前記アドレス指定され格納されている情報を変更するための論理操作である描画ルールを前記バスから受け取り、前記ソースデータが該変更の実行に用いられる入力データであり、該ソース手段が、前記アドレス指定され格納されている情報を変更するために、その間で該変更が起こる該アドレス指定され格納されている情報中の始まりビット位置と終わりビット位置とである START 位置及び STOP 位置を更に受け取り、前記変更手段が、

-17-

-16-

(a) 該単一クロックにより動作し、前記アドレス指定手段中の前記アドレスに基づいた前記メモリからの該格納されている情報を保持するための、該メモリに接続されている保持手段、

(b) 該単一クロックにより動作し、該アドレス指定され格納されている情報を得るために、該保持手段に接続され、描画ルールを得るために該データ手段に接続されており、該アドレス指定され格納されている情報と該ソースデータとを該描画ルール論理操作に従って論理的に組み合わせて、該アドレス指定され格納されている情報を変更する描画ルール手段、並びに

(c) 該単一クロックにより動作し、該 START 位置及び STOP 位置を得るために、該データ手段に接続され、該格納されている情報の START ビット位置と STOP ビット位置との間のみに於いて該論理組合せの該書き込みを許容するために、該メモリに接続されているライトマスク手段を備えている

-18-

請求項 12 に記載のダイナミックランダムアクセスメモリ。

16. ランダムポートバス及びシリアルポートバスに接続されたダイナミックランダムアクセスメモリに於いて、

該ランダムポートバスが、アドレス、データ、ランダムポート制御イネーブル、及び単一ランダムポートクロック信号を運び、

該シリアルポートバスが、シリアルデータ、シリアルポート制御イネーブル、及び単一シリアルポートクロック信号を運び、

該ランダムポートバス及びシリアルポートバスに接続された単一集積回路チップ、

情報を格納するための、該チップ上のメモリ、

(1) 該メモリのためのランダムアクセスアドレス及び(2) 該メモリのためのシリアルデータ転送アドレスである該アドレスを受け取るための、該単一ランダムポートクロック信号によって動作し、該ランダムポートからの該ランダムポート制御イネーブルを受け取り、該受け取られたランダム

ムアクセスアドレスのメモリ位置に於いて情報をアクセスするために該メモリに接続され、該受け取られたシリアルデータ転送アドレスに於いて該メモリから情報を読み出す、該チップ上のランダムポート手段、並びに

該読み出された情報を該シリアルデータ転送アドレスに於ける該メモリから該シリアルポートバスに供給するための、該単一シリアルポートクロック信号によって動作し、該シリアルポート制御イネーブルを受け取る、該チップ上のシリアルポート手段

を備えているダイナミックランダムアクセスメモリ。

17. 単一集積回路上に配されたダイナミックランダムアクセスメモリであって、ランダムポート及び該ダイナミックランダムアクセスメモリとランダムポートバスとをインターフェイスするランダムポートを制御する制御手段を有し、該制御手段が、

各組が該ランダムポートの動作の異なったモー

-19-

ドに対応する複数組の制御信号の 1 組を該ランダムポートバスから受け取る手段、

該受け取られた 1 組に対応するランダムポートの動作を制御するため、内部制御イネーブルパルスの所定のシーケンスを構成する手段、

ランダムポートバスを介して、所定の周波数を有する単一クロック信号を受け取る手段、及び

ランダムポートが制御信号の受け取られた組に対応する動作のモードで動作するように、受け取られた単一クロックのクロックパルスによって、内部制御イネーブルパルスの構成された所定のシーケンスを実行する手段

を備えているダイナミックランダムアクセスメモリ。

(以下余白)

-21-

-20-

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、ラスタスキャングラフィックアプリケーションに於いて使用されるように設計されたデュアルポートダイナミックメモリに関し、特に、メモリに格納されているビデオ情報の線を変更する為に、単一集積回路チップ上に於いてベクタモードアドレッシング機能とイメージモードアドレッシング機能との双方を組み込んだ高密度ダイナミックビデオ RAM に関する。

(従来の技術及びその課題)

半導体メモリの 1 ビット当りのコスト及びコンピュータシステムの価格の低下に伴って、パーソナルワークステーション、及び CAD/CAM システム等の、グラフィックスを使用した他のコンピュータシステムが益々容易に入手可能となってきた。このようなシステムに必要な不可欠な部品は、グラフィックスアプリケーションをサポートするダイナミックビデオ RAM である。

マルチチップで入手可能な従来のダイナミック

-22-

ビデオRAMは、ランダムポート及びシリアルポートを備えており、ランダムポートを介してコンピュータがダイナミックビデオRAMにアクセスすることができ、シリアルポートによって必要なグラフィックス情報が送られて、例えばカラーモニタが駆動される。

ダイナミックビデオRAMの設計に於いて、いくつかの非常に重要な点がある。

第一に、チップからの外部ピンの数を最小にしつつ単一集積回路チップ上にビデオRAMをパッケージすることが重要である。第二に、チップ上に備えられたメモリを最大にすることが重要である。第三に、チップ以外のハードウェアによってチップ外に於いて非常に低速で変更動作を行うよりも、チップ上で可能な限り多くの変更動作を行って速度を上げることが重要である。第四に、チップ内に格納されているデータのアドレッシング機能を最大にすることが重要である。ビデオRAMのランダムポートを制御するクロック入力数は、複雑化、低速化を招来する。

-23-

持っているチップ上に描画ルール又は置換ルールを組み込むことは開示されていない。むしろ、RAM内に格納されている情報の所定の線を変更するために、変更されるべき情報はダイナミックビデオRAMから読み出されて、チップ外で、獲得された論理操作に従って変更される。本発明に於いては、チップ上に配設された回路を用いて描画ルール又は置換ルールが実施され、さらに、読み出されてRAMに戻されるべき変更された情報の領域が選択的にマスクされ得る。

ノバク (Novak) らの米国特許第4,688,197号に於いて、第1のクロックによって始動されるシリアル出力ターミナルに接続されたシフトレジスタを備えているRAMチップを有するビデオコンピュータシステムが記載されている。第2のクロックはシリアルチップレジスタに対してロードを行うために利用される。

レッドウィン (Redwine) らの米国特許第4,689,741号は、ノバクの特許と同じ発明に関するものであるが、2個以上の異なるデータビットが同時に

以下の特許は、市販のダイナミックRAMに関連する、発行された特許の代表的なものである。これらの各特許に於いては、本発明による、イメージモードアドレッシング及び本発明によるベクタモードアドレッシングの双方を、RAMを保持しているチップ上に組み込むことは開示されていない。スクリーンの垂直線が変更される場合には、従来のイメージモードアドレッシングでは処理が遅い。変更されるべき垂直線に対して各走査線が1個の画素のみを有する場合であっても、メモリ内の各走査線がアドレス指定されなければならない。したがって、メモリ内のかなりの数の走査線が、線を変更するためにアドレス指定されなければならない。本発明の教示によれば、垂直線はページ内の垂直ベクタとしてアドレス指定され得るために、その垂直線を構成する垂直ベクタのみがアドレス指定されるだけでよい。このことにより、ダイナミックビデオRAMに於ける垂直線のためのアドレッシングの速度はかなり上昇する。

さらに、これらの各特許に於いて、RAMを保

-24-

現れることを防止するために、コラム線とチップレジスタとの間でデータを結合することを開示している。

ターデン (Thaden) の米国特許第4,665,495号では、単一チップダイナミックRAMコントローラ及びCRTコントローラシステムの構成が記載されている。該発明に於いては、従来のシステムの制御回路が最小となるようにされ、したがって単一のコントローラを利用することによってRAMに於ける電位ボトルネックが除去される。これに関連する米国特許として、これもまたターデンらの米国特許第4,656,596号が発行されている。ターデンのRAMは、コントローラチップとは別のチップ上に配されており、制御信号がRAMに送られる。

ブルース (Bruce) の米国特許第4,546,451号に於いて、「ページモード」アドレッシングによって水平又は垂直ベクタアドレッシングを行うことができるダイナミックRAMが記載されている。グラフィックコントローラ素子 (GDC) クロ

-25-

-26-

クがブルースによって示されているが、このクロックは、RAMチップから別のGDCに送られる。さらに重要なことには、この別のGDCは、ロード信号、カウントイネーブル信号及び他の制御信号をRAMチップに直接提供しなければならない。

ヴォス(Voss)の米国特許第4,646,270号に於いて、標準RAM動作を行いつつ高速でデータを順次読み出すことができるビデオグラフィックダイナミックRAMが記載されている。

大容量メモリを含む単一チップ上でベクタモードアドレッシング(即ち、水平及び垂直ベクタ)とイメージモードアドレッシングとの双方を行い、格納されているビデオ情報のオンチップでの変更を行う為に必要なハードウェアを含み、これを最小数の外部ピンを用いて達成するダイナミックビデオRAMが必要とされている。

上記の何れの特許に於いても、ランダムアクセスメモリを用いてチップ上で描画ルール変更を行う回路は開示されていない。

日立のHM53462マルチポートDRAMの目的仕様

-27-

(1) 垂直線のためのアドレッシングが高速となるダイナミックビデオランダムアクセスメモリを提供すること。

(2) 垂直線がページ内の垂直ベクタとしてアドレス指定されることができ、従って、垂直線を構成する垂直ベクタのみがアドレス指定されるだけでよいダイナミックビデオランダムアクセスメモリを提供すること。

(3) 大容量メモリを有する単一チップ上でベクタモードアドレッシング(水平及び垂直ベクタ)とイメージモードアドレッシングとの双方を行うことができるダイナミックビデオランダムアクセスメモリを提供すること。

(4) 格納されたビデオ情報のオンチップでの変更を行うために必要なハードウェアを備えているダイナミックビデオランダムアクセスメモリを提供すること。

(5) 最小限の数の外部ピンを備えているダイナミックビデオランダムアクセスメモリを提供すること。

-29-

に於いては、論理操作及びマスキングが単一チップ上で行われる。しかし、このアプローチでは、システムは、まず、論理操作をチップへ送り、次にメモリをアドレス指定するためのサイクルがあり、新しいソースデータを送り、メモリから読み出し、そして、読み出された情報を変更しなければならない。

RAMを備えているチップ上に描画ルールとマスキング回路とを配する必要があるだけでなく、アドレスと共に描画ルールを同時にチップに送ることによって性能を最大にすることが必要とされている。

上記の特許に於いては、RAMのランダムポート側に於いて単一クロックを利用して、アドレスレジスタ及びデータレジスタに情報をロードすることを含むRAMの動作、RAMの動作並びにRAMに於ける情報の変更を制御することは、開示されていない。

従って、ここに記載した本発明は、以下の目的を達成するものである。

-28-

(6) ランダムアクセスメモリを有するチップ上で描画ルール変更を行うための回路を備えているダイナミックビデオランダムアクセスメモリを提供すること。

(7) ランダムアクセスメモリを有するチップ上に描画ルール及びマスキング回路を提供し、描画ルールをアドレスと共に同時にチップに送ることによって性能を最大にすることができる、ダイナミックビデオランダムアクセスメモリを提供すること。

(8) メモリのランダムポート側に於ける単一クロックを利用して、アドレス及びデータレジスタへの情報のロードを含むメモリの動作、メモリの動作並びにメモリ内の情報の変更を制御することができる、ダイナミックランダムアクセスメモリを提供すること。

(9) より高速の動作を提供しつつ、チップへの、及びチップからの信号バスの数を最小にすることができる、ダイナミックランダムアクセスメモリを提供すること。

-30-

(課題を解決するための手段)

本発明のダイナミックビデオランダムアクセスメモリは、集積回路チップ上に配され、バスに接続されたダイナミックビデオランダムアクセスメモリに於いて、それぞれが所定のページコラム位置及びページロウ位置を有するページであって、該ページ中のベクタロウ位置によって規定される複数の水平ベクタ及び該ページ中のベクタコラムによって規定される複数の垂直ベクタをそれぞれが有している複数の $n \times m$ ビットのページを備え、ビデオ情報を格納するためのメモリ、変更すべき該メモリのページ中の水平ベクタ又は垂直ベクタのアドレスであって、(a)該アドレス指定されたページのページロウを規定するための第1の複数ビット、(b)該アドレス指定されたページのページコラムを規定するための第2の複数ビット、及び(c)該アドレス指定されたページのアドレス指定されたベクタを規定するための第3の複数ビットを有するアドレスを受け取るための、該バスに接続されたアドレス指定手段、ソースデータ

を受け取るための、該バスに接続されたデータ手段、並びに該メモリ中のアドレス指定されたベクタに於いて該ソースデータを用いて、格納されているビデオ情報を変更するための、該メモリ、該アドレス指定手段、及び該データ手段に接続されている制御手段を備えた、ベクタをアドレス指定するためのアーキテクチャを有しており、そのことにより上記目的が達成される。

本発明のダイナミックビデオランダムアクセスメモリは、バスに接続されたダイナミックビデオランダムアクセスメモリに於いて、集積回路チップ、複数の水平ベクタ及び垂直ベクタをそれぞれが有している複数の $n \times m$ ビットのページを備え、ビデオ情報を格納するための、該チップ上のメモリ、該メモリの該ページ中の水平ベクタ又は垂直ベクタのアドレスであって、(a)アドレス指定されたページを規定するための第1の複数ビット、及び(b)該アドレス指定されたページ内の水平ベクタ又は垂直ベクタを規定するための第2の複数ビットを有するアドレスを受け取るための、該

-31-

チップ上に配され、該バスに接続されたアドレス指定手段、並びに該メモリ中のアドレス指定されたベクタ位置に於いて該ソースデータを用いて、格納されているビデオ情報を変更するための、該メモリ、該アドレス指定手段、及び該データ手段に接続されている、該チップ上の制御手段を備えている。

本発明のダイナミックビデオランダムアクセスメモリは、バスに接続されたダイナミックビデオランダムアクセスメモリに於いて、ベクタアドレス及びイメージアドレスのどちらかによってアドレス指定され、ビデオ情報を格納するためのメモリであって、(a)該ベクタアドレスモードに於いては、それぞれが該メモリ中に所定のページコラム位置及びページロウ位置を有し、該ページ中のベクタロウによって規定される複数の水平ベクタ及び該ページ中のベクタコラムによって規定される複数の垂直ベクタを含む複数のページを備え、(b)該イメージアドレスモードに於いては、それぞれが複数のワードを含む複数の走査線を備え

るメモリ、該メモリ中の変更すべき水平ベクタ又は垂直ベクタのための、ベクタモードアドレスであって、(a)該アドレス指定されたページのページロウを規定するための第1の複数ビット、(b)該アドレス指定されたページのページコラムを規定するための第2の複数ビット、及び(c)該アドレス指定されたページのアドレス指定されたベクタを規定するための第3の複数ビットを有するベクタモードアドレス、該メモリ中の変更すべきワードのイメージモードアドレスであって、(a)アドレス指定されている走査線を規定するための第1の複数ビット、及び(b)該アドレス指定された走査線中のアドレス指定されたワードを規定するための第2の複数ビットを有するイメージモードアドレスのどちらか、及びアドレスモードを受け取るための、該バスに接続されたアドレス指定手段、該ベクタアドレス又はイメージアドレスに於いて格納されているビデオ情報を変更するために、ソースデータを受け取るための、該バスに接続されたデータ手段、並びにイメージモ

-32-

-33-

-34-

ードアドレス又はベクタモードアドレスに於いて該ソースデータを用いて、格納されているビデオ情報を変更するための、該メモリ、該アドレス指定手段、及び該データ手段に接続されている制御手段を備えた、イメージモード及びベクタモードのどちらかに於いてアドレス指定するためのアーキテクチャを有している。

本発明のダイナミックビデオランダムアクセスメモリは、単一集積回路チップ上に配され、バスに接続されたダイナミックビデオランダムアクセスメモリに於いて、該チップ上に配されたメモリであって、それぞれが該メモリの中の所定のページコラム位置及びページロウ位置を有する複数のページを備え、該ページのそれぞれが該ページ中のベクタロウ位置によって規定される複数の水平ベクタ及び該ページ中のベクタコラムによって規定される複数の垂直ベクタをそれぞれが有しているメモリ中にビデオ情報を格納する手段、変更すべき該メモリのページ中のベクタのアドレスであって、(a) 該アドレス指定されたページのページ

ジロウを規定するための第1の複数ビット、(b) 該アドレス指定されたページのページコラムを規定するための第2の複数ビット、及び(c) 該アドレス指定されたページのアドレス指定されたベクタを規定するための第3の複数ビットを有するアドレスを、該バスを介して該チップ上で受け取る手段、該アドレス指定されたページ中の該アドレス指定されたベクタに於いて、格納されているビデオ情報を変更するために、該バスを介して該チップ上でソースデータを受け取る手段、並びに該メモリ中のアドレス指定されたベクタ位置に於いて、格納されているビデオ情報を該ソースデータを用いて、該チップ上で変更する手段を備えている。

本発明のダイナミックビデオランダムアクセスメモリは、ランダムバス及びシリアルバスに接続されたダイナミックビデオランダムアクセスメモリに於いて、該ランダムバス及びシリアルバスに接続された単一集積回路チップ、シリアルデータ転送モード、ベクタモード及びイメージモードに

-35-

-36-

於いてアドレス指定される、ビデオ情報を格納するための、該チップ上に配されたメモリであって、(a) 該ベクタアドレスモードに於いては、それぞれが複数の水平ベクタ及び垂直ベクタを有する複数のページを、(b) 該イメージアドレスモードに於いては、それぞれが複数の走査ワードを有する複数の走査線を、(c) 該シリアルデータ転送モードに於いては、それぞれが複数の部分走査ワードを有する複数の部分走査線を備えているメモリ、動作モード、及び(1) 該メモリ中のベクタのためのベクタモードアドレス、(2) 該メモリ中の走査線のためのイメージモードアドレス、及び(3) 該メモリ中の部分走査線のためのシリアルデータ転送アドレスを受け取るために、該ランダムバスに接続され、該チップ上に配されたアドレス指定手段、イメージモードアドレス又はベクタモードアドレスのメモリ位置に於いて情報をアクセスするために、該メモリ及び該アドレス手段に接続され、該シリアルデータ転送アドレスに於いて該メモリからの読み出しを行うランダムポ

ート制御手段、並びに該シリアルデータ転送アドレスに於いて読み出された情報を該シリアルバスに供給するための、該メモリに接続されているシリアルポート制御手段を備えている。

本発明のダイナミックビデオランダムアクセスメモリは、集積回路チップ上に配され、バスに接続された高速ダイナミックビデオランダムアクセスメモリに於いて、情報を格納するためのメモリ、該メモリ内の変更すべきベクタデータのアドレスを受け取るため、該バスに接続されたアドレス指定手段、格納されている情報の該ベクタデータを変更するための論理操作を指定する描画ルールデータと、変更に用いられる入力データであるソースデータとを受け取り、該ベクタデータ中の始まりビット位置データと終わりビット位置データとであるSTART位置及びSTOP位置を更に受け取るため、該バスに接続されたデータ手段、格納すべき該ベクタデータを得るために、該メモリに接続され、描画ルールデータを受け取るための、該データ手段に接続されており、格納されている

-37-

-38-

情報の該ベクタデータと該ソースデータとを該描画ルール論理操作に従って論理的に組み合わせて、格納すべき情報の該ベクタデータを変更する描画ルール手段、該START位置及びSTOP位置を得るために、該データ手段に接続され、該ベクタデータのSTARTビット位置とSTOPビット位置との間のみに於いて該論理組合せの該メモリへの書き込みを許容するために、該メモリに接続されているライトマスク手段、並びに該描画ルール手段をアクティブにして、該論理組合せを実行し、該STARTビット位置とSTOPビット位置との間のみに於いて、該論理組合せから得られる情報の該変更されたベクタデータをメモリ内に書き込む制御手段を備えた、該集積回路チップ上のアーキテクチャを有している。

前記アドレスが、前記メモリ中の格納されているイメージデータをアドレス指定するためのイメージアドレス、又は該メモリ中の格納されているベクタデータをアドレス指定するためのベクタアドレスを有しており、前記制御手段が、該イメー

ジアドレス又は該ベクタアドレスに基づいて該メモリを別々にアクセスすることのできるようにしてもよい。

本発明のダイナミックビデオランダムアクセスメモリは、集積回路チップ上に配され、バスに接続されたダイナミックビデオランダムアクセスメモリに於いて、情報を格納するためのメモリ、変更すべき該メモリのページ中の該格納された情報のベクタデータのアドレスを第1の時間間隔の間に受け取るための、該アドレスバスに接続されたアドレス指定手段、該ベクタデータを変更するための論理操作を指定する描画ルールデータを、該第1の時間間隔の間に受け取る、該データバスに接続されたデータ手段、格納すべき情報の該ベクタデータを得るために、該メモリに接続され、そして、描画ルールを受け取るために、該データ手段に接続されており、格納されている情報の該線と該ソースデータとを該描画ルール論理操作に従って第2の時間間隔の間に論理的に組み合わせて、格納すべき情報の該ベクタデータを変更する描画

-39-

ルール手段、並びに該描画ルール手段を該第2の時間間隔の間アクティブにして、該論理組合せを実行するために、該メモリ、該アドレス手段、該データ手段及び該描画ルール手段に接続され、第3の時間間隔の間に、該論理的に組み合せられた情報をメモリ内に書き込む制御手段を備えた、該集積回路上のアーキテクチャを有している。

前記第1の時間間隔、第2の時間間隔及び第3の時間間隔が該バスを介して供給される単一のクロック信号から得られているようにすることもできる。

前記アドレスが、前記メモリ中の格納されているイメージデータをアドレス指定するためのイメージアドレス、又は該メモリ中の格納されているベクタデータをアドレス指定するためのベクタアドレスを有しており、前記制御手段が、該イメージアドレス又は該ベクタアドレスに基づいて該メモリを別々にアクセスすることのできる構成としてもよい。

本発明のダイナミックビデオランダムアクセス

メモリは、単一集積回路チップ上に配され、バスに接続されたダイナミックビデオランダムアクセスメモリに於いて、第1の時間間隔の間に、(a)メモリ中に格納されている変更すべきベクタデータのアドレス、(b)格納されているベクタデータを変更するための論理操作を含む描画ルール、並びに(c)始まりビット位置と終わりビット位置との間でベクタデータを変更するためのSTART位置及びSTOP位置をチップ上でバスから受け取る手段、アドレス指定されたベクタデータと論理的に組み合わせられるべきソースデータを、第1の時間間隔の後の第2の時間間隔の間にチップ上でバスから受け取る手段、受け取られた描画ルールデータの論理操作に基づいて、アドレス指定されたベクタデータをソースデータを用いて、第2の時間間隔の後の第3の時間間隔の間にチップ上で変更する手段、並びに第3の時間間隔の後の第4の時間間隔の間に、STARTビット位置及びSTOPビット位置の間に於いて、情報の変更されたベクタデータを用いて、メモリに対して

-40-

-41-

-42-

書き込むを行う手段を備えている。

本発明のダイナミックランダムアクセスメモリは、単一クロックを運ぶバスに接続された、ダイナミックランダムアクセスメモリに於いて、該メモリ中の格納されている情報のアドレスを受け取るための、該バスに接続されているアドレス指定手段、ソースデータを受け取るための、該バスに接続されているソース手段、該アドレス指定され格納されている情報を該メモリから該バスに供給するための、該メモリに接続された出力手段、該アドレス指定され格納されている情報を得るために、該メモリに接続され、該ソースデータを得るために、該ソース手段に接続され、該アドレス指定され格納されている情報と該ソースデータとを組み合わせ、該格納されている情報を変更し、該変更された情報を該メモリ内に再び書き込む変更手段、並びに該バスに接続され、また、該アドレス手段、該ソース手段、該出力手段、該変更手段、及び該メモリに接続され、該アドレス手段、該ソース手段、該出力手段、該変更手段、及び該

メモリの動作を制御するために、該バスからの該単一クロックの受取にตอบสนองする制御手段を備えたランダムポートを有している。

前記制御手段がランダムステートマシンであり、前記バスが制御イネーブルを有し、該ランダムステートマシンが、前記単一クロックに基づいて、内部制御パルスの所定のシーケンスを発生するために、制御イネーブルのそれぞれ異なった組にตอบสนองするように構成することもできる。

前記変更手段が前記単一クロックにより動作する描画ルール手段を備え、該描画ルール手段は、前記アドレス指定され格納されている情報を得るために、前記メモリに接続され、前記ソースデータを得るために、前記ソース手段に接続されており、該描画ルール手段は、該アドレス指定され格納されている情報と該ソースデータとを論理的に組み合わせ、その後、格納されている情報の該アドレスに於いて、前記論理組合せを該メモリに再び書き込むようにすることもできる。

前記単一クロックで動作する前記ソース手段が、

-43-

前記アドレス指定され格納されている情報を変更するための論理操作である描画ルールを前記バスから受け取り、前記ソースデータが該変更の実行に用いられる入力データであり、該ソース手段が、前記アドレス指定され格納されている情報を変更するために、その間で該変更が起こる該アドレス指定され格納されている情報中の始まりビット位置と終わりビット位置とであるSTART位置及びSTOP位置を更に受け取り、前記変更手段が、(a) 該単一クロックにより動作し、前記アドレス指定手段中の前記アドレスに基づいた前記メモリからの該格納されている情報を保持するための、該メモリに接続されている保持手段、(b) 該単一クロックにより動作し、該アドレス指定され格納されている情報を得るために、該保持手段に接続され、描画ルールを得るために該データ手段に接続されており、該アドレス指定され格納されている情報と該ソースデータとを該描画ルール論理操作に従って論理的に組み合わせ、該アドレス指定され格納されている情報を変更する描画ルール

-45-

-44-

手段、並びに(c) 該単一クロックにより動作し、該START位置及びSTOP位置を得るために、該データ手段に接続され、該格納されている情報のSTARTビット位置とSTOPビット位置との間のみに於いて該論理組合せの該書き込みを許容するために、該メモリに接続されているライトマスク手段を備えるようにしてもよい。

本発明のダイナミックランダムアクセスメモリは、ランダムポートバス及びシリアルポートバスに接続されたダイナミックランダムアクセスメモリに於いて、該ランダムポートバスが、アドレス、データ、ランダムポート制御イネーブル、及び単一ランダムポートクロック信号を運び、該シリアルポートバスが、シリアルデータ、シリアルポート制御イネーブル、及び単一シリアルポートクロック信号を運び、該ランダムポートバス及びシリアルポートバスに接続された単一集積回路チップ、情報を格納するための、該チップ上のメモリ、(1) 該メモリのためのランダムアクセスアドレス及び(2) 該メモリのためのシリアルデータ転送

-46-

アドレスである該アドレスを受け取るための、該単一ランダムポートクロック信号によって動作し、該ランダムポートからの該ランダムポート制御イネーブルを受け取り、該受け取られたランダムアクセスアドレスのメモリ位置に於いて情報をアクセスするために該メモリに接続され、該受け取られたシリアルデータ転送アドレスに於いて該メモリから情報を読み出す、該チップ上のランダムポート手段、並びに該読み出された情報を該シリアルデータ転送アドレスに於ける該メモリから該シリアルポートバスに供給するための、該単一シリアルポートクロック信号によって動作し、該シリアルポート制御イネーブルを受け取る、該チップ上のシリアルポート手段を備えている。

本発明のダイナミックランダムアクセスメモリは、単一集積回路上に配されたダイナミックランダムアクセスメモリであって、ランダムポート及び該ダイナミックランダムアクセスメモリとランダムポートバスとをインターフェイスするランダムポートを制御する制御手段を有し、該制御手段

が、各組が該ランダムポートの動作の異なるモードに対応する複数の制御信号の1組を該ランダムポートバスから受け取る手段、該受け取られた1組に対応するランダムポートの動作を制御するため、内部制御イネーブルパルスの所定のシーケンスを構成する手段、ランダムポートバスを介して、所定の周波数を有する単一クロック信号を受け取る手段、及びランダムポートが制御信号の受け取られた組に対応する動作のモードで動作するように、受け取られた単一クロックのクロックパルスによって、内部制御イネーブルパルスの構成された所定のシーケンスを実行する手段を備えている。

本発明は、好ましい実施例に於いて、ランダムポート及びシリアルポートを有する1,310,720ビットのデュアルポートダイナミックメモリである。メモリには100万ビットをかなり上回る情報が格納されている。ランダムポートは2個のアクセスモード、即ち、 32×32 ビットのページへのベクタアクセス及び 16×1 のワードへのイメー

-47-

ジアクセスをサポートする。シリアルポートは8個の32ビットダイナミックラッチを備えており、これらによってスクリーンのリフレッシュのための256個の連続したビットが提供される。本発明のダイナミックビデオRAMには、描画ルールサイクルが内蔵され、同期操作のためのクロックされた(clocked)ランダムポート、最適化されたベクタ操作及び16ビット読出し書き込みアクセスが組み込まれている。

好ましい実施例では、ビデオRAMがチップ上にパッケージされ、該チップに於いてランダムポートが11ピンのアドレス、16ピンのデータバス、チップセレクト、ベクタ/イメージセレクト、読出し/書き込み信号及びランダムポートクロックによってアクセスされる。シリアルポートはシリアルクロック、シリアル出力イネーブル、ロード信号及び4個のシリアル出力データラインによってサポートされる。チップには、少なくとも2個のVccラインと2個のVssラインによって電力が供給される。好ましい実施例では、少なくと

-48-

も44個のピンがこのチップ上に設けられているが、さらに多くのピンが設けられていてもよい。

ベクタ動作モードに於いて、本発明のダイナミックビデオRAMは、水平ベクタと垂直ベクタとの双方を 32×32 のビットページに書き込む。好ましい実施例のページ内のセルは、32ビットの垂直又は水平ベクタコラム又はロウとしてアドレス指定される。しかし、呼び出しに於いては、「n」×「m」などの何れか所望のものが選択され得る。アドレスによって、ベクタのページ位置及びページ内でのベクタのロウ・コラムが選択される。データラインは、ページ内に於けるSTART位置及びSTOP位置、並びにセル内でのベクタの水平/垂直の向きを運ぶ。ベクタに対する描画ルールもまた、デフォルトでは常に1とされるベクタソースと共に、データラインによって運ばれる。一旦選択されると、ベクタページは、コラム又はロウ並びにSTART位置及びSTOP位置を特定する一連のページモードサイクルとしてアクセスされ得る。好ましい実施例では、ベ

-49-

-50-

クタは書き込み専用である。

イメージ動作モードに於いては、本発明のダイナミックビデオRAMによって、ランダムアクセスメモリポートアレイへの直接書き込み、及びこれからの直接読出しが可能となる。書き込みの際には、アドレスラインのアドレス入力によって、ベクタモードに於いて選択されたページと同等のものである 32×32 ビットのページが選択される。ページ内のロウは、ベクタモードに於いて選択されたベクタロウと同等のものである。ワードは、サイクルの第1のデータモードに於いて特定されたSTART位置及びSTOP位置に従ってマスクされる。この第1のデータワードもまた描画ルール仕様を備えている。サイクルの第2のデータワードは、16ビット幅のイメージワードを保持している。読出しもまた、16ビット幅であり、アドレスは書き込みサイクルに於いて特定される。その際には、ロウの中で最下位又は最上位の何れのワードが16ビットデータバス上に配されているかを制御するために最下位のアドレスが追加さ

れる。START、STOP及び描画ルールはリードサイクルに影響を与えない。ページモードは、読出し及び書き込みの双方のために作動し、これによって、1個のページサイクルで 32×32 のページ全てがアクセスされ得る。本発明に於いて、メモリに従来の内部リフレッシュが備えられている。

最後に、シフトレジスタへのデータの転送は、ベクタ/イメージラインがベクタに設定され、読出し/書き込みラインが読出しに設定されたサイクルを実行することによって達成される。これによって、256個のセルの内容が、シリアルポートレジスタにすぐにロードされ得るようにされているダイナミックラッチに配置される。わずか256個のセルが内部ラッチに書き込まれている間に、8,192個のセルが全てシリアルデータ転送中にアクセスされ、リフレッシュされる。転送中に転送された256ビットは、部分走査線と称される。置換ルールは、シリアルデータ転送に影響を与えない。

-51-

上記の全てのランダムポート動作（即ち、シリアルポートを介しての転送ではない）は、ランダムステートマシンに送られた単一のクロックパルスを使用することにより、さらにV/I（ベクタ・イメージ）、R/W（読出し・書き込み）、リフレッシュ及びCS（チップセレクト）コントロールラインのイネーブルレベルと共に行われる。

（以下余白）

-52-

（実施例）

本発明を実施例について説明する。以下では、先ず本実施例の概要を説明し、次にその詳細な説明を行う

〔1〕概要

第1図は、ライン30を介してカラーマップ回路40に接続されたカラーモニタ20を有するシステム環境に用いられている、本発明のダイナミックビデオRAM10を示している。このシステムでは、カラーマップ回路40は、ビデオデータバス50を介して本発明のビデオRAM10に接続されている。ビデオRAM10とカラーマップ回路40は、ライン70及び80を介してシリアルポート制御部60によって制御されている。ビデオRAM10は、データバス90及びアドレスバス100を介して図形ハードウェア回路110にも接続されている。ランダムポート制御部120によって、図形ハードウェア回路110はライン130を介して、ビデオRAM10はライン140を介して制御されている。図形ハードウェア

-53-

-54-

回路 110 は、標準バス 170 に接続されているインターフェイス回路 160 にライン 150 を介して接続されている。

本発明のビデオ RAM 10 は、カラーモニタ 20 に実際に表示されている画像を格納する。ビデオ RAM 10 内の格納されている情報は、データバス 50 を介してカラーマップ回路 40 に順次送られ、モニタ 20 に表示される。シリアルポート制御部 60 は、ビデオ RAM 10 内に格納されている情報のカラーマップ回路 40 への転送を制御する。

カラーモニタ 20 に表示する画像を変えるために、ビデオ RAM 10 内に格納されている情報を変更する場合には、図外の CPU 等からバス 170 を介して適宜の命令がインターフェイス回路 160 に送られ、図形ハードウェア回路 110 内に送達される。ランダムポート制御部 120 は、バス 150 から図形ハードウェア回路 110 が受け取った情報に基づいて、ビデオ RAM 10 内に格納されている情報の変更を制御する。変更する情

報のアドレスはアドレスバス 100 を介して、変更のためのデータはバス 90 を介してそれぞれ供給される。このようにして、ビデオ RAM の情報は修正されて、カラーモニタ 20 上の画像を変更することができる。

第 1 図に示すシステム環境は説明のためのものであり、本発明のダイナミックビデオ RAM は他のシステムにも使用し得ることは当然に理解されるであろう。例えば、カラーマップやカラーモニタを用いる必要はない。

第 12 図に示すような単一チップの実施例では、ランダムポートバスは、11 ビット幅のアドレスバス 100、16 ビット幅のデータバス 90、及び 5 ビット幅の制御バス 140 を有している。シリアルポートバスは、4 ビット幅のデータバス 50、及び 3 ビット幅の制御バス 70 を有している。従って、ビデオ RAM 10 は、39 本のピンと、電源用及び接地用の 4 本のピンとを含む合計 44 本のピンを有している。しかし、本発明はこのようなピン数に限定されるものではない。第 1 図に

-55-

示すように、幾つかのこのような単一チップをシステム環境に用いることができる。制御バス 140 によって運ばれる /CS 制御イネーブル信号によりどのチップがアクセスされるかが選択される。

アドレスバス 100 を介するビデオ RAM 10 のアドレッシング及び操作の 3 モードがある。それらは、(a) シリアルデータ転送モード、(b) ベクタアドレスモード、(c) イメージアドレスモードである。各モードを以下に説明する。

a. シリアルデータ転送モード

第 2 図に、モニタ 20 の画面 200 を示す。画面 200 は通常のものであり、例えば、画面を横切る水平行に 1280 画素と、垂直方向に 1024 本の走査線又はラスタ線とを備えている。本発明に於いては、画素及び走査線の構成は任意である。第 2 図では、部分走査線 210 が示されている。「部分走査線」とは、ここでは 1 走査線中の 256 個の連続する画素として定義される。「ワード」は 16 画素である。従って、部分走査線は 16 ワードを有している。これは、他のビデオ R

AM 装置に見られる従来のイメージモードアドレッシングに対応している。

本発明のビデオ RAM 10 は、ランダムポートアドレスバス 100 を介してアドレス指定され、シリアルポート制御部 60 によってライン 70 を介してシリアルポートデータ転送を行うことができる。第 3 図にシリアルデータ転送アドレスを示す。1024 本の走査線は 10 ビットの走査線フィールドにより選択され、部分走査線 210 は 3 ビットの部分走査線フィールドにより選択される。シリアルポートデータ転送のアドレッシングには合計 13 ビットが必要である。アドレスバス 100 は 11 ビット幅しか有していないので、2 個のアドレスが第 4 図のように送られる。第 1 の転送は上位アドレス (MSA) であり、第 2 の転送は下位アドレス (LSA) である。ここでも、本発明に於いてはビット数及びアドレッシングの構成はこれらに限定されない。

従って、第 2 図～第 4 図は本発明ビデオ RAM 10 のシリアルデータ転送モードに於けるアドレ

-57-

-58-

ッシングを示している。

b. ベクタアドレスモード

本発明によれば、ページが画面上で水平方向または垂直方向にアクセスされ得るベクタアドレッシングのモードが提供される。これを第5図～第8図を用いて説明する。

ページは、画素の 32×32 配列によって定義される。第5図に於いて、ページPG_{0,0}は、32本の水平走査線 $\times 32$ 個の水平画素を有している。ページは他の形態の $m \times n$ 構成であってもよい。第5図のスクリーンモニタは、 32×40 即ち1280のページを有している。用語「ページコラム」はページの水平位置であり、用語「ページロウ」はページの垂直位置であるとする。例えば、ページPG_{31,39}では、ページ列は39であり、ページ行は31である。32列の好ましい実施例では、ページ列は5ビット幅のアドレスで指定することができる。例えば、ページPG_{31,0}のページ行の値は11111である。同様に、1280画素の好ましい実施例では、40個のページ列は1

6ビット幅のアドレスで指定することができる。

第6図は、個々のページPG_{n,l}を示している。用語「ベクタコラム」はページ内でのベクタの水平方向の位置を示している。例えば、ベクタ600は垂直列2内に位置している。用語「ベクタロウ」はページ内でのベクタの垂直方向の位置を示している。例えば、ベクタ610は行3内に位置している。本発明のベクタモードアドレッシング体系に於いては、1個のビット、即ちH/Vビットによってベクタが水平ベクタ610であるのか垂直ベクタ600であるかが示される。ページ内のベクタの位置を示すために、5ビットが用いられる。例えば、ベクタ610に対しては、H/Vビットを1として水平ベクタを示し、残りの5ビットは00011である。垂直ベクタ600は、0に設定されたH/Vビットを有しており、残りの5ビットは00010である。

第5図及び第6図に示されたベクタモードアドレッシング体系は本発明特有のものであり、選択されたページPGをアドレスするだけではなく、

-59-

該ページ内の垂直又は水平ベクタをアドレスするのにも用いることができる。

従って、第7図に示されている好ましい実施例では、必要なページアドレスは、ページ行を示す5ビットと、ページ列を示す6ビットと、ベクタを示す5ビットとを有する16ビットワードである。付加的な水平/垂直(H/V)ビットは、ベクタがページ内で水平であるのか垂直であるのかを示す。このようにして、スクリーン200上の選択されたページに於いて第6図に示すベクタ600又は610のような特定のベクタをアドレスすることができる。

第1図に示すアドレスバス100は11ビット幅であるので、図形ハードウェア回路110は、第7図のベクタアドレスを2回の別々の転送として出力する。第8図に示すように、第1の転送は上位アドレス(MSA)であり、第2の転送は下位アドレス(LSA)である。

第5図～第8図は本発明の教示による1実施例を示したものであり、ベクタモードアドレッシング

-60-

を行うためには他の態様のビット配列及びアドレス構成であってもよいのは当然である。

c. イメージアドレスモード

本発明は、第9図～第11図に示すようなイメージモードアドレッシングをも行うことができる。走査線をスクリーン200上で位置決めするためには、1024本の水平走査線を有する図示の実施例の場合には10ビットが必要である。走査線は、ラスト走査表示装置上の完全な走査線を形成する連続した画素の組として定義される。1走査線には、80個の16ビットワードがある。従って、所定の走査線内でワードを示すためには7ビットが必要である。それ故、第10図に示すイメージアドレスは、走査線を示す10ビットと、該走査線内のワードを示す7ビットとを有している。本発明のビデオRAMの構成の故に、第1図に示すアドレスバス100は11ビットに制限され、従って、第11図に示すように、イメージアドレスはMSAサイクル及びLSAサイクル中に転送される。

-61-

-62-

上述のように、アドレスバス100には3種類のアドレッシングモードが発生する。これら3種のモードは、シリアルデータ転送(第2図~第4図)、ベクタモードアドレッシング(第5図~第8図)、及びイメージモードアドレッシング(第9図~第11図)であり、本発明のビデオRAM10はこれらの3モードに於いて動作するようにされている。シリアルデータ転送によって、RAM10内部に於いてランダムシリアルポート情報転送が行われる。ベクタモード及びイメージモードは、RAM10内に格納されている情報に対する変更を行うことを許容する。

d. チップ構成

第12図に、本発明のビデオRAM10をディスプレイ単一集積回路チップとして示す。第1図に戻って、RAM10のランダムポートサイド1200は次のようなピン構成を有している。

アドレスバス100(11ピン)

データバス90(16ピン)

/CS…チップ選択

V/I…ベクタ/イメージ選択

R/W…リード/ライト選択

/RFRSH…リフレッシュ

RCLK…ランダムポートクロック

ビデオRAM10のシリアルポートサイド1210には、次のピンが指定されている。

SCCLK…シリアルクロック

/SOE…シリアル出力イネーブル

/LOAD…ロード信号

データバス(4ピン)

更に、2本の電源ピン(Vcc)及び2本の接地ピン(Vss)が必要である。

チップ選択信号/CSは選択すべきチップを選択する。例えば、第1図に於いて、システム内に配されるチップ10の数は限定されない。16個のチップが必要な場合には、ランダムポート制御部120により適宜の/CSピンがアクティブにされる。

前述のように、ベクタ/イメージ信号V/Iによってそのチップがベクタモードでアドレス指定

-63-

されているか又はイメージモードでアクセス指定されているかが示される。本実施例では、V/I信号がハイの時、該チップはベクタモードであり、V/I信号がローの時、イメージモードが実行される。

リード/ライト信号R/Wを説明する。R/Wがハイの場合、チップ10はリードモードであり、データはデータバス90上に現れる。R/Wがローの場合、チップ10はライトモードであり、データはチップ10内のメモリに書き込まれる。チップ10内では次のような動作モードが行われる。

第 1 表

| V/I | R/W | サイクル |
|-----|-----|-----------|
| 0 | 0 | イメージライト |
| 0 | 1 | イメージリード |
| 1 | 0 | ベクタライト |
| 1 | 1 | シリアルデータ転送 |

ランダムポートクロックRCLKはチップ10

-65-

-64-

に供給される単一クロック信号である。チップ10の内部のランダムポートの動作の全てはこのクロック信号に同期しており、それに基づいている。これはランダムポートに対する唯一のクロック信号であり、好ましくは1MHzである。

ランダムポートアドレスバス100上のアドレス信号は、シリアルデータ転送のためには第4図に示すような、ベクタモードアドレッシングのためには第8図に示すような、そしてイメージモードアドレッシングのためには第11図に示すようなMSAアドレス及びLSAアドレスのためのビットアドレスを運ぶ。

ランダムポートデータバス90上に現れるデータは、16個のバラレルビットであり、下記第2表に示す2組のデータDIN1及びDIN2としてチップ10に供給される。

(以下余白)

-66-

第 2 表

| モード | DIN1 | DIN2 |
|------|------------------------|--------------------|
| ベクタ | DR. START/STOP. H/V | - |
| イメージ | DR. START/STOP | リードデータ又は ライトデータ |

ここで、DRは描画ルールを、H/Vは水平/垂直を示す。

ランダムポート制御部120から本発明のビデオRAM10には、内部リフレッシュ信号として用いられる/RFRSHも送られてきている。

また、本発明のビデオRAM10は、シリアルポート制御バス70を介してシリアルポート制御部60から制御信号を受け取る。SCLK信号は単一シリアルポートクロックであり、/SOEはシリアル出力イネーブル信号である。/SOEがローの時、シリアルリードデータがデータバス50上に現れる。/LOADはデータロード信号で

ある。本発明では、シリアルポートにデータを転送するために、シリアルポート1210では単一のクロックのみを用いる。

第12図に示す2本のVccピンは、本実施例では+5Vの電力を供給する。Vssは2本の接地ピンである。本発明に於いては、2本以上又はそれ以下の電源用及び接地用のピンを用いてもよい。

第12図に示す単一集積チップは、ランダムポート1200及びシリアルポート1210中に、RAMを3種の動作モード(シリアルデータ転送、ベクタアドレッシング、及びイメージアドレッシング)で動作させるために必要な回路の全てを有している。ランダムポートは、RAMを各モードで動作させる制御イネーブルの複数组の1つをバス140を介して受け取ることによって制御される。そして、単一クロックRCLKの供給は、選択された動作モードの実行に必要な内部制御イネーブルの発生に使用される。

第12図に示す各ピンに現れる信号については、

-67-

本発明のビデオRAM10の内部構成及び動作についての下記の説明に於いて説明する。ピンの数及び選択は好ましい実施態様を示したものであって、本発明に於いては他の態様とすることもできることに注意されたい。

[2] 詳細な説明

以下に、本発明ビデオRAMの実施例の内部構成及び動作を説明する。個々のレジスタ回路、ラッチ回路、シフト回路等のそれ自体の動作及び構成は従来のもと同様である。しかし、それらが組み合わされた回路構成は独特のものである。その好ましい配置を説明するが、本発明の教示により他の配置とすることも可能である。

a. シリアルポートサイド1210の構成

複数のメモリブロック1300を含む本発明のダイナミックビデオRAM10を第13図に示す。本実施例では、各メモリブロック1300は、160メモリセル×1024メモリセルを有している。1個のチップには8個のメモリブロックが設けられているので、全部で1310720メモリ

セルがある。このメモリセルの数は任意である。

メモリブロック1300の出力はライン1302を介して複数のダイナミックラッチ1304に与えられる。各ダイナミックラッチ1304は、その対応して接続されているメモリブロック1300から読み出される32ビットの情報を記憶する。従って、8個のラッチによって256ビット又は1個の部分走査線が保持される。各ダイナミックラッチ1304の出力は接続ライン1308を介して対応するシリアルデータポートレジスタ1306に与えられる。各シリアルデータポートレジスタ1306は32ビットのレジスタを有しており、各レジスタは、第1図に示すように例えばカラーマップ40に供給するためにデータバス50に4ビットをシリアルに供給することができる。シリアルポート制御部60からの制御信号70はシリアルステートマシン1314に供給される。シリアルステートマシン1314は、ダイナミックラッチ1304からの情報の逐次読み出しを制御するために、ライン1316を介してシリ

-69-

-70-

アルデータポート1306に接続されている。

従って、ダイナミックラッチ1304、シリアルデータポート1306、及びシリアルステートマシン1314により、本発明のビデオRAM10のシリアルポートサイド1210が構成される。

b. ランダムポートサイド1200の構成

ランダムポートサイド1200は、ランダムポートアドレスバス100に接続され、更にライン1322(8ビット)及びライン1324(5ビット)を介してメモリブロック1300に接続されたアドレスレジスタ1320を有している。また、アドレスレジスタ1320は、ライン1326(3ビット)を介してブロックデコード回路1330に、ライン1334を介してライトマスク1336及び出力制御回路1338にも接続されている。ブロックデコード回路1330はライン1332を介してメモリブロック1300に接続されている。

データレジスタ1340はデータバス90に接続され、更に、ライン1342(H/Vビット)

を介してメモリブロック1300に、ライン1344(START、5ビット)及びライン1346(STOP、5ビット)を介してライトマスク1336に接続されている。ライトマスク1336は、ライン1348(32ビット)を介してメモリブロック1300に接続されている。データレジスタ1340は、ライン1350(4ビット)及びライン1352(16ビット)を介して描画ルール回路1354にも接続されている。描画ルール回路1354は、ライン1356(32ビット)を介してメモリブロック1300に接続されている。

出力制御回路1338はランダムポートデータバス90に接続されており、ライン1358によってメモリブロック1300にも接続されている。ライン1358にはデスティネーションラッチ1360も接続されており、デスティネーションラッチ1360は、ライン1362(32ビット)を介して描画ルール回路1354に、ライン1364を介してランダムステートマシン1366に

-71-

接続されている。ランダムステートマシン1366は、ランダムポートコントロールバス140よりランダムポート制御入力信号を受け取る。

従って、アドレスレジスタ1320、ブロックデコード回路1330、データレジスタ1340、ライトマスク1336、出力制御部1338、描画ルール回路1354、デスティネーションラッチ1360、及びランダムステートマシン1366によって、本発明のビデオRAMのランダムポートサイド1200が構成される。ランダムポートサイドの構成はこれに限定されるものではなく、他の構成とすることもできる。例えば、デスティネーションラッチ1360をストローブされた組合せ論理を用いて設計し、格納されているビデオ情報を供給又は保持するようにすることもできる。

c. シリアルポートサイド1210の動作

本発明のダイナミックビデオRAMの動作を、メモリブロック1300内の情報を送り出して第1図のカラーモニタ20上に画像を形成するシリアルデータ転送モードの動作について先ず説明す

る。この走査線転送動作モードは、第2図～第4図に示したアドレッシング技法を用いている。

第18図のタイミングチャートでは、RCLK、CS、V/I及びR/Wの各イネーブルが制御バス140によってランダムポート制御部120から供給される。アドレスADDはバス100を介して図形ハードウェア回路110から供給されている。CS信号はどのビデオRAMチップ10をアクティブにするのかを選択する。このシリアルデータ転送の動作モードでは、R/Wビットがハイであって、メモリブロック1300の読出しが行われる。シリアルデータ転送の場合には、第18図に示すようにハイに設定されたV/Iビット(第1表参照)が選択されると、第1表に示すようにベクタモードが選択される。従って、メモリブロック1300からダイナミックラッチ1304へ転送されるデータのアドレス(MSA及びLSA)はバス100に含まれる(第4図参照)。第18図に示す第1の時間間隔(時間1800及び1810)の間に、単一のクロック信号RC

-72-

-73-

-74-

L Kによりランダムステートマシン1366はアドレス(MSA及びLSA)をアドレスレジスタ1320に入力するようにする。メモリブロック1300の内容がカラーマップ40にシリアルに供給されるように該メモリブロックを読み出す場合には、スクリーンリフレッシュのための選択された部分走査線の転送は次のようにして起こる。8個のメモリブロック1300の各々からの情報の32ビットは、ライン1302を介してダイナミックラッチ1304によって読み取られる。ダイナミックラッチ1304は、ラインEN-DLを介してランダムステートマシン1366から、メモリブロックからデータを読み取るべき旨を示す信号を受け取る。8個のダイナミックラッチの全てがそのようにイネーブルされ、256ビットの部分走査線のための32ビットを各々が読み取る。読み取りの後、EN-DLは適宜に活性化され、読み出された情報はライン1308を通じてシリアルデータポート1306に送られる。また、これは、8個のシリアルシフトレジスタの各々の

ための情報の32ビット情報の並列転送である。シリアルデータポート1306はシフトレジスタによって構成されている。また、8個のシリアルデータポート1306の各々は、シリアルステートマシン1314及びシリアルクロックSCLKの制御下にある。ラインSLを介してシリアルデータポート1306がイネーブルされると、各クロック信号は所定のシリアルデータポート1306からデータバス50に4ビットを転送する。

このデータの転送は次のようにして行われる。シリアルステートマシン1314は、シリアルクロックパルスSCLKをカウントするカウンタを備えている。従って、SCLKのパルスが入来する毎にそれらはシリアルデータポート1306に送られ、該ポートはそのようなパルスが8個与えられることによって、記憶している32ビットを1度に4ビットずつビデオデータバス50に出力する。そして、次の8個のSCLKパルスによって次のメモリブロック部分からの32ビットがビデオデータバス50に出力される。このようにし

-75-

-76-

て、シリアルステートマシン1314は、シリアルデータポート1306から、1個の部分走査線が出力されるまで、格納されているデータを各シリアルデータポート1306から出力するようにさせる。部分走査線が出力されると、シリアルポートコントロールバス70を介してLOAD信号がシリアルステートマシン1314に与えられ、シリアルデータポート1306の全てに次の部分走査線のためのデータをダイナミックラッチ1304からロードするようライン1316を介して指令が与えられる。シリアルデータポート1306に入力されるSOEによって、マルチプレクサは、一時に4ビットの情報をカラーマップ40に供給するようにされる。

本発明によれば、シリアルポートを他の構成とすることもできる。シリアルポートをランダムポートとは非同期とし、チップ10が他の動作をしている間にバス50を介してデータを転送するようにすることもできる。

d. ランダムポートサイド1200の動作

ダイナミックビデオRAM10のランダムポート1200の動作を説明する。

用語「描画ルール」は、メモリブロック1300に書き込む際の「ソース」と「ディスティネーション」とを組み合わせる論理演算子であるとする。本実施例では、描画ルールは下記第3表のようになっている。

(以下余白)

-77-

-78-

第 3 表

| 描画ルール | 結果 |
|---------|-------------------------|
| 0 0 0 0 | クリア (全て 0) |
| 0 0 0 1 | ソース AND デスティネーション |
| 0 0 1 0 | ソース AND (NOT デスティネーション) |
| 0 0 1 1 | ソース |
| 0 1 0 0 | (NOT ソース) AND デスティネーション |
| 0 1 0 1 | デスティネーション |
| 0 1 1 0 | ソース XOR デスティネーション |
| 0 1 1 1 | ソース OR デスティネーション |
| 1 0 0 0 | ソース NOR デスティネーション |
| 1 0 0 1 | ソース NXOR デスティネーション |
| 1 0 1 0 | NOT デスティネーション |
| 1 0 1 1 | ソース OR (NOT デスティネーション) |
| 1 1 0 0 | NOT ソース |
| 1 1 0 1 | (NOT ソース) OR デスティネーション |
| 1 1 1 0 | ソース NAND デスティネーション |
| 1 1 1 1 | セット (全て 1) |

第 3 表の説明は後で行う。更に、本発明では、DIN1 及び DIN2 と称する 2 個のデータサイクルを用いる。第 14 図では、DIN1 及び DIN2 はイメージモードのためのものとして示されている。第 15 図では、DIN1 及び DIN2 はベクタモードのためのものとして示されている。

本発明によれば、描画ルールの機能はダイナミックビデオ RAM チップ 10 内に直接設けられている。これにより、メモリブロック 1300 内でのデータの変更が速くなる。従来のビデオ RAM の設計によれば、メモリブロック内の情報をビデオ RAM チップから読み出し、他のチップ又は回路で変更する必要がある。チップ外で変更された後にメモリブロック内に再び書き込まれるので、処理が遅い。

本実施例では、最大 32 個の画素を 1 回の処理で変更することができる。従来の手法はイメージモードを用いるものであったのに対して、本発明では、所定ページ内の水平又は垂直ベクタを所定の描画ルールに従って修正し、変更することがで

-79-

きる。この特徴によって、メモリブロック内の情報の変更するための時間を極めて速くすることができる。例えば、従来の手法でスクリーン 200 の垂直線を変更する場合には、その垂直線に対応する 1 個のビットを変更するために多数の水平走査線をメモリから読み出さなければならない。本発明によれば、1 個の垂直ベクタのみをアクセスして変更すれば良いので、従来の手法に比べてシステム性能を飛躍的に改善することができる。現在のビデオ RAM では毎秒 30 万〜70 万のベクタを処理することができるものと見られている。本発明によれば、毎秒 400 万の水平又は垂直ベクタを処理することができる。

この高速化は後述のようにベクタライトモードを設けることに基づいている。ベクタライトモードに於いて、第 8 図の MSA アドレス及び LSA アドレスは、アドレスレジスタ 1320 内に逐次にロードされる。これを第 19 図のタイミングチャートに示す。ここでは、/CS が適切なチップを選択し、V/I リードはベクタモードを選択す

-81-

-80-

るためにハイであり、R/W は書き込みを行うためにローである。従って、アドレス (第 8 図) の MSA 及び LSA はアドレスレジスタ 1320 にロードされ、描画ルール、START、及び STOP (第 15 図) はランダムポートデータバス 90 を介してデータレジスタ 1340 にロードされる。ベクタアドレス (MSA 及び LSA) 並びにベクタ (DIN1) は第 1 の時間間隔の間に供給される。

第 20 図に、ベクタライト、ページモードのためのタイミングを示す。ここでは、MSA は同じままであるが、LSA 及び DIN1 については、時刻 2000 及び 2010 に於いて LSA が、時刻 2020 及び 2030 に於いて DIN1 が変えられる。第 8 図のページロウ、ページコラム及びベクタ識別を有する MSA アドレス及び LSA アドレスは、アドレスレジスタ 1320 内に格納される。ライン 1322 を経て 8 ビットの出力が供給されて、メモリブロック 1300 のメモリロウをアドレスする。5 ビットはライン 1324 を介し

-82-

て供給されメモリブロック1300のメモリコラムをアドレスし、残りの3ビットはライン1326を介してブロックデコード回路部1330に供給される。ブロックデコード回路部1330は、8個のメモリブロック1300の1個を選択的にアクティブにするための、8出力の内の1個を選択するデコードである。

ベクタモードに於いては、第15図に示すDIN1はデータバス90を介してデータレジスタ1340内に読み込まれる。DIN2はこのモードでは用いられない。5ビットのSTARTビットはライン1344を経てライトマスク1336に、5ビットのSTOPビットはライン1346を経てライトマスク1336に供給される。4ビットの描画ルールビットは、ライン1350を経て描画ルール回路部1354に供給される。H/Vビットは、データレジスタ1340からライン1342を介してメモリブロック1300に供給される。

アドレスレジスタは、データをバスから読み出

すようにし、情報をレジスタ内に格納するように通常のレジスタ構成とすることができる。アドレスレジスタは、MSAイネーブルによって上位アドレスを読み出すように、LSAイネーブルによって下位アドレスを読み出すようにイネーブルされる。同様に、データレジスタ1340は通常の構成であり、DIN1イネーブルライン及びDIN2イネーブルラインによって選択的にイネーブルされると、データバス90からデータを読み込み、それを内部に格納する。この時点で、アドレスレジスタ1320及びデータレジスタ1340は、水平又は垂直ベクタのどちらかを識別し、それに対して描画ルール操作を行うための必要なベクタ情報を有している。他の回路は前述のアドレス機能及びデータ機能を有するようにすることができる。

第5図〜第8図を再び参照すれば、選択された垂直ベクタ600又は水平ベクタ610は32個の画素で、或いはメモリブロック1300内にある場合には32個のメモリセルで構成されている

-83-

ことが判るであろう。START及びSTOP情報は、描画ルールに従って変更されるべきベクタの正確な部分を伝える。例えば、ベクタ内の変更を始める場所が該ベクタの先頭から7ビット目である場合には、STARTコマンドは00111であり、STOP位置が15ビット目である場合には、STOPコマンドは01111である。START及びSTOP情報は、32個のライトプロテクトWP信号をライン1348を介して与え得るライトマスクに供給される。従って、32ビットベクタに於いて位置7で始まり、位置15で終わる本例の場合には、始めの7ビットはライトプロテクトモードでアクティブにされ、終わりの16ビットはライトプロテクトモードでアクティブにされて、ライン1356を介してNEWデータがメモリ内にフィードバックされる際に、START位置とSTOP位置との間のメモリセルの所望の部分のみがメモリ内に書き込まれるようにされる。

第16図に、ベクタライトページモードに於い

て描画ルールを実行する例を示す。アドレスレジスタ1320は、メモリブロック1300内の特定の水平ベクタ又は垂直ベクタをアドレス指定する。ベクタが水平であるのか垂直であるのかは、第15図のDIN1中の最下位のビットであるライン1342上のH/V信号によって決定される。OLD情報はメモリブロックからライン1358上に読み出される。第16図に於いて、DESTは「デスティネーション」を示している。情報は、必要に応じて出力制御部1338を経てシステムに送り返してもよいし、デスティネーションラッチ1360に送ってもよいことに注意されたい。ライン1364上の適切なイネーブル信号DESTにより、デスティネーションラッチ1360はOLD情報を読み込むことが可能となる。第16図に示すデスティネーション情報の32ビットの全てがラッチ1360に読み込まれる。デスティネーションラッチ1360の出力1362は、デスティネーション入力として描画ルール回路1354に供給される。ベクタ動作モードでは、デー

-84-

-85-

-86-

タレジスタ1340からライン1352に出力されるソース(SRC)信号は全て1に設定されており、このことは第16図に示されている。描画ルールは第3表に示されている。

第16図に示す例では、「NOTデスティネーション」描画ルールである1010がデータレジスタ1340に現れる。従って、OLD情報又はデスティネーションデータDESTは反転されて、第16図でNEWと称される新たな変更されたベクタとなる。しかし、この情報のメモリブロックへの書き込みはライトマスク1336の制御下で行われ、前述したように、例えばビット31~26及びビット15~0が書き込み禁止となる。NEWデータのビット25~16のみがメモリに書き込み可能である。同様にして、描画ルールの全ての論理関数は、START及びSTOP情報に基づいて、ベクタ全体又はベクタの一部に対して実行される。

ベクタ動作モードに於いては、メモリブロック1300内の最大32画素の変更が、チップ上で

の1回の操作で行われうる。本発明に於いては、H/Vビットを使用することにより、第6図に示すような水平に配置されたベクタ及び垂直に配置されたベクタの何れをも変更することができる。

イメージ動作モードに於いては、第11図のMSAアドレス及びLSAアドレスが用いられる。イメージリード及びイメージライトの両方のタイミングを第21図に示す。ここでもまた、/CSが適切にインエーブルされる。V/Iはイメージモード用にローに設定される。R/Wが読み出しのためにハイに設定された場合には、読み出しアドレス(MSA2100及びLSA2110)がバス100を介して供給され、データDOU Tがバス90上に読み出される。R/Wが書き込みのためにローに設定された場合には、書き込みアドレス(MSA2120及びLSA2130)がバス100を介して供給され、データDIN1プラスDIN2がバス90を介してチップに供給される。ここで、アドレス及びDIN1(即ち、描画ルール及びSTART/STOP)は第1の時間間隔

-87-

中に供給され、DIN2(即ちソースデータ)は第2の時間間隔中に供給される。

第22図にページモードでのイメージリード及びイメージライトのタイミングを示す。ページモードでは、アドレスのLSA部分が変化する。従って、読み出しに於いては、LSAの変化により新たなデータDOU Tの読み出しが起こる。R/Wがローの書き込みの場合には、LSAの供給の直後に新たなデータが与えられる。

最後に、第23図にイメージリードモディファイライトのタイミングを示す。ここでは、第14図のDIN1によりSTART、STOP及び描画ルールが供給される。また、Doutはアドレス指定された位置のデータであり、DIN2はチップに読み込まれるべきソースデータである。前と同様に、MSA及びLSAがアドレスレジスタ1320に読み込まれ、第14図の対応するDIN1及びDIN2のデータ構成がデータレジスタ1340に読み込まれる。イメージ動作モードでは、走査線からの16ビットのワードがメモリブ

-88-

ロック1300から読み出され、デスティネーションラッチ1360に供給される。

第17図に、メモリブロック1300からOLD情報として読み出されたDESTと称されるワードの一例を示す。イメージ動作モードでは、ソースデータは第14図に示すようにDIN2で供給され、また、SRCとして示されている。第17図はソースデータの一例を示している。この16ビットのソースデータはSRCは、ライン1352を介して描画ルール回路1354に供給される。「exclusive-OR」(DR=0110)のような描画ルールが用いられると、回路1354は第17図に示されるNEWワードをリード1356上に出力する。再び、イメージ動作モードはマスキングの目的のためのワード内のSTART及びSTOP位置を有することができる。この例ではSTARTが0011であり、STOPが1000であるとしている。従って、マスク回路1336は、第17図のMASKに於いて示されているビットのための書き込み禁止WPを提

-89-

-90-

供する。メモリに書き込まれるデータは第17図にMEMとして示されている。本発明では、イメージ動作モードに於いて、描画ルールの操作をチップ上で行うことができる。

上述し、第22図に示すように、本発明では、描画ルールはアドレスの供給と共に、アドレスサイクルと同じ時間間隔中に並行して供給される。このことにより、描画ルールを供給するための別個の時間間隔を必要とする前述の日立のアプローチに比して大きな高速化が可能となる。

シリアルデータ転送モードの動作に於いては、第4図のMSAアドレス及びLSAアドレスが用いられ、これらがアドレスレジスタ1320に読み込まれる。第2表に示したように、ここでは対応するDIN1又はDIN2データワードは存在しない。これらのMSA及びLSAアドレスワードが読み込まれると、上述したように、適切な走査線及び走査線部分がメモリブロック1300からダイナミックラッチ1304へ読み出される。

ランダムステートマシン1366は、通常の設

計のものであり、入力される制御イネーブル（即ち、V/I、R/W、RFRSH及び/CS）の組に基づき、単一クロックRCLKのバースに従って、下記の内部ランダムポートイネーブルバースを供給する。この内部ランダムポートイネーブルバースは、（1）アドレスバス100上の上位アドレス及び下位アドレスをアドレスレジスタ1320に読み込むためのEN-MSA及びCLK-LSA、（2）バス90上に現れるデータをデータレジスタ1340に読み込むためのCLK-DIN1及びEN-DIN2、（3）デスティネーションラッチ1360をイネーブルするためのDEST、（4）メモリブロック1300のそれぞれを通常の方式でプリチャージするためのPRECH、（5）メモリブロック1300からのデータをダイナミックラッチ1304が読み込むことを可能にするためのEN-DL、（6）ライトマスク1336をイネーブルして、START及びSTOP情報に基づくメモリブロック1300の書き込み禁止を行うための/W E、（7）アド

-91-

-92-

レスのブロック選択部分によって指定された特定のメモリブロックではなく、全てのメモリブロックにアクセスするためのALL（この信号は全ての標準及びシリアルデータ転送サイクルの期間中に用いられる）、並びに（8）出力制御部1338をイネーブルして、データバス90にデータを出させるOE信号である。本実施例ではこれらの内部イネーブルが用いられるが、このアプローチに基づく変更例に於いては、他のイネーブルを用いることもできる。

ランダムステートマシン1366は、例えば第24図に示すプログラマブルロジックアレイを有することができる。ここでは、単一クロックRCLKの使用に基づく入力140（即ち、制御イネーブルの組）により、上述の出力が生成される。ランダムステートマシン1366に対する内部信号は、ロジックアレイ2400の次の状態である。次状態を第25図に示す。

第25図に於いて、入力組のフォーマットは、/CS、RFRSH、V/I及びR/Wである。

第25図から分かるように、制御バス140からの異なるイネーブルの組（入力）に対して、ランダムステートマシンはクロック（RCLK）に導かれて、状態の所定のシーケンスを生成し、以下に規定される制御バースを出力する。

出力のSTATE信号は状態からデコードされる。これを第4表に示す。

（以下余白）

-93-

-94-

第 4 表

| 状 態 | 出 力 | | | | | | | | | | | |
|-------------------------------------|-------------------|----------|----------|----------|----------|----------|----------|----------|----------|----------|----------|--|
| <u>3</u> <u>2</u> <u>1</u> <u>0</u> | <u>1</u> <u>0</u> | <u>9</u> | <u>8</u> | <u>7</u> | <u>6</u> | <u>5</u> | <u>4</u> | <u>3</u> | <u>2</u> | <u>1</u> | <u>0</u> | |
| 0 0 0 0 | 1 | 1 | × | 0 | × | × | 1 | 1 | 0 | 1 | 0 | |
| 0 0 0 1 | 0 | 0 | 0 | × | × | × | 1 | 1 | 1 | 1 | 0 | |
| 0 0 1 0 | 0 | 0 | × | × | × | × | 1 | 1 | 1 | 1 | 0 | |
| 0 0 1 1 | 0 | 0 | 1 | × | × | × | 1 | 1 | 1 | 1 | 1 | |
| 0 1 0 0 | 0 | × | × | × | × | × | 1 | 1 | 1 | 0 | 0 | |
| 0 1 0 1 | × | × | × | × | × | × | × | 1 | × | × | × | |
| 0 1 1 0 | 0 | × | × | × | × | × | 1 | 1 | 1 | 0 | 0 | |
| 0 1 1 1 | 0 | × | × | × | × | × | 1 | 1 | 1 | 0 | 0 | |
| 1 0 0 0 | 0 | 0 | 0 | 1 | × | × | 1 | 1 | 0 | 1 | 0 | |
| 1 0 0 1 | 0 | 0 | 1 | 0 | 1 | 1 | 1 | 1 | 0 | 1 | 0 | |
| 1 0 1 0 | × | × | × | × | × | × | × | 1 | × | × | × | |
| 1 0 1 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 1 | 0 | |
| 1 1 0 0 | 0 | 0 | 1 | 0 | × | × | 1 | 0 | 0 | 1 | 0 | |
| 1 1 0 1 | 0 | 0 | 0 | 0 | × | × | 1 | 1 | 0 | 1 | 0 | |
| 1 1 1 0 | × | × | × | × | × | × | × | 1 | × | × | × | |
| 1 1 1 1 | 0 | 0 | 1 | 1 | × | 1 | 1 | 1 | 0 | 1 | 0 | |

出力の関係を第 5 表に示す。

第 5 表

| | |
|-------|-----------------|
| 出力 10 | P R E C H |
| 出力 9 | E N - M S A |
| 出力 8 | C L K - L S A |
| 出力 7 | C L K - D I N 1 |
| 出力 6 | E N - D I N 2 |
| 出力 5 | E N - D E S T |
| 出力 4 | / W E |
| 出力 3 | / O E |
| 出力 2 | A L L |
| 出力 1 | / I R F R S H |
| 出力 0 | E N - D L |

第 5 表に示すランダムポート制御信号は、ランダムポート 1200 に於いて、第 18 図から第 23 図に示すようにクロック RCLK のエッジで有効となる。

-95-

この開示に基づき、単一クロックパルス RCLK のみが本発明のランダムポート 1200 を制御していることが明瞭に理解される。換言すれば、本発明のランダムポート 1200 は制御信号の組（即ち、第 25 図の入力）を受け取る。各組はランダムポートの異なる動作モードに対応している。ランダムステートマシン 1366 は受け取られた組に対してシーケンス構成（即ち、第 25 図の状態及び次状態）を与える。異なる組のそれぞれは異なるシーケンス構成を有しており、その結果、それ自身の内部制御パルスの所定のシーケンス（第 4 表）が得られる。単一ランダムポートクロックは、内部制御パルスの構成されたシーケンスを実行するために必要なタイミング信号を提供し、その結果、ランダムポートは受け取った制御信号の組に対応する動作モードで動作する。好ましいアプローチは第 25 図、第 4 表及び第 5 表に示されているが、本発明の教示の下で、本実施例では 16.7 MHz である単一ランダムポートクロックが供給される状況に於いて動作するための、制

御信号及び状態の他の構成を規定することができ、ことを理解すべきである。

上述の状態表を第 19 図から第 23 図のタイミング図と組み合わせると、メモリ内の記憶された情報を変更する方法は、単一ランダムポートクロック RCLK から導出される一連の時間間隔に基づいている。第 1 の時間間隔中には、ベクタアドレス又はイメージアドレス並びに描画ルール、START 位置及び STOP 位置がチップに与えられる。次に、制御イネーブルの組に基づいて、RCLK は適宜の状態表を通じてシーケンスする。従って、第 2 の時間間隔中に、アドレス指定された情報がメモリから供給され、ソースデータがチップに供給される。第 3 の時間間隔中には、供給された情報（即ち、第 16 図及び第 17 図の DEST）が、描画ルール（即ち、第 3 表）に基づいて、ソースデータ（即ち、第 16 図及び第 17 図の SRC）を用いて変更される。第 4 の時間間隔中には、変更された情報（即ち、第 16 図及び第 17 図の NEW）が、START 及び STOP ビ

-97-

-96-

ット位置（即ち、第16図及び第17図のMASK）の間に於いて、メモリに書き込まれる。本発明の教示の下で、この方法に変更を加えることは可能である。

好ましい実施例では特定のビットフィールド及びパターン、特定のピン構成並びに配置を例示したが、本発明はこれらに限定されず、本発明の教示に基づく他の実施態様を用いることができることを理解すべきである。

本発明の好ましい実施例を示したが、この実施例に対する修正及び変更を行うことができることを理解されたい。

（以下余白）

4. 図面の簡単な説明

第1図は、本発明のダイナミックビデオRAMを組み込んだシステムのブロック図である。

第2図は、第1図のシステムのカラーモニタ20のスクリーン及び部分走査線を示す図である。

第3図は、本発明のシリアルデータ転送アドレスを説明する図である。

第4図は、第3図のシリアルデータ転送アドレスの最上位アドレス及び最下位アドレスを説明する図である。

第5図は、本発明のカラーモニタ20のスクリーンのページレイアウトを示す図である。

第6図は、単一のページ内のベクタを示す図である。

第7図は、ページアドレスのためのフォーマットを示す図である。

第8図は、第7図のページアドレスの最上位及び最下位アドレスビットを説明する図である。

第9図は、本発明のカラーモニタのイメージモードアドレッシング構成を示す図である。

-99-

第10図は、イメージアドレスのフォーマットを示す図である。

第11図は、第10図のイメージアドレスの最上位及び最下位のアドレス部分を説明する図である。

第12図は、本発明のダイナミックビデオRAMの単一チップの構成を示す図である。

第13図は、本発明のダイナミックビデオRAMチップの回路ブロック図である。

第14図は、イメージ動作モードのためのデータ入力のフォーマットを示す図である。

第15図は、ベクタ動作モードのためのデータ入力のフォーマットを示す図である。

第16図は、ベクタ動作モードを説明する図である。

第17図は、イメージ動作モードを説明する図である。

第18図は、シリアルデータ転送のためのタイミングを示す図である。

第19図は、ベクタ書き込みのためのタイミング

を示す図である。

第20図は、ベクタ書き込み、ページモードのためのタイミングを示す図である。

第21図は、イメージ読出し／書き込みのためのタイミングを示す図である。

第22図は、イメージ読出し／書き込み、ページモードのためのタイミングを示す図である。

第23図は、イメージ読出し変更書き込みのためのタイミングを示す図である。

第24図は、ランダムポートステートマシンの実施例を示す図である。

第25図は、ランダムポートステートマシンに於ける入力、現在の状態及び次状態の表を示す図である。

10…ダイナミックビデオRAM

1200…ランダムポート

1210…シリアルポート

1300…メモリブロック

1304…ダイナミックラッチ

1314…シリアルステートマシン

-101-

-102-

1 3 4 0 ... データレジスタ

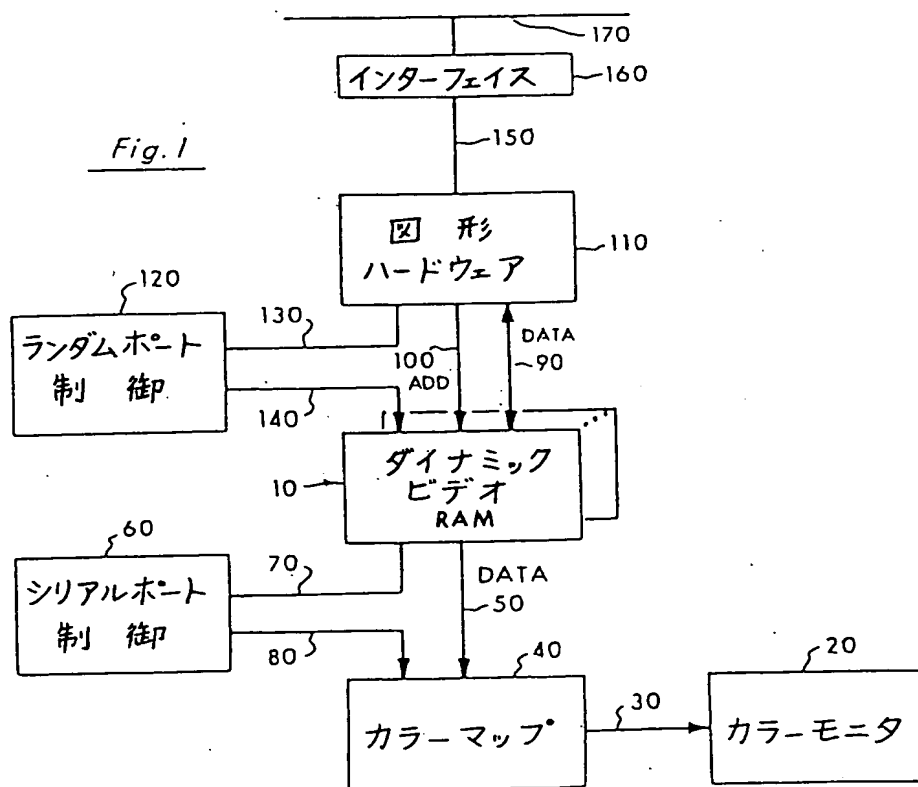
1 3 6 6 ... ランダムステートマシン

(以上)

出願人 松下電器産業株式会社

代理人 弁理士 山本秀策

-103-



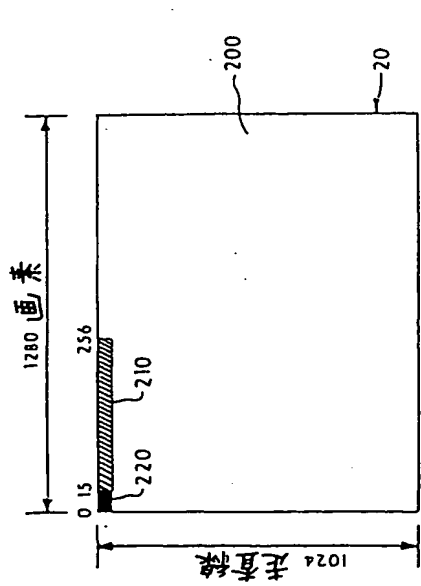


Fig. 2

Fig. 3

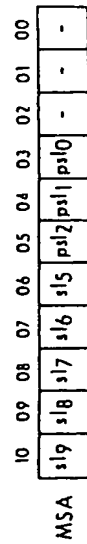
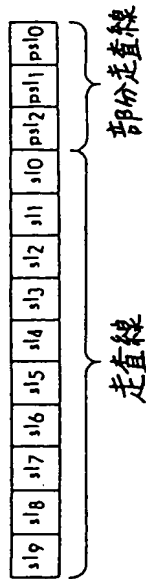


Fig. 4

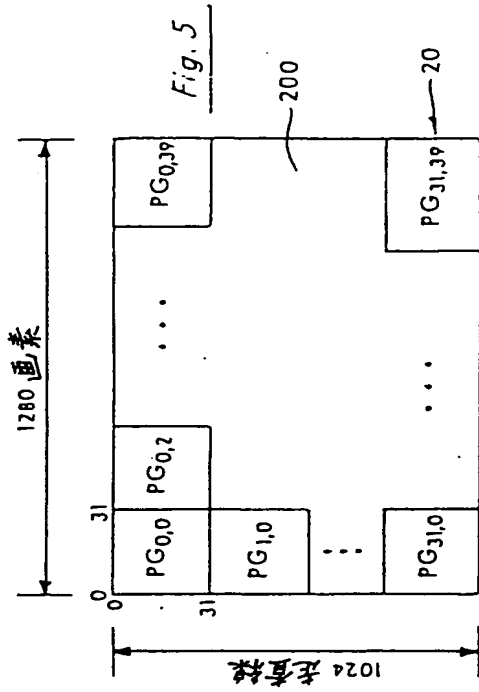


Fig. 5

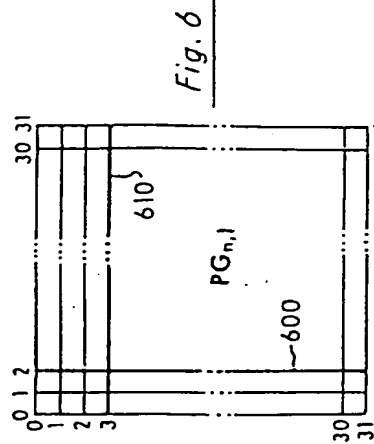
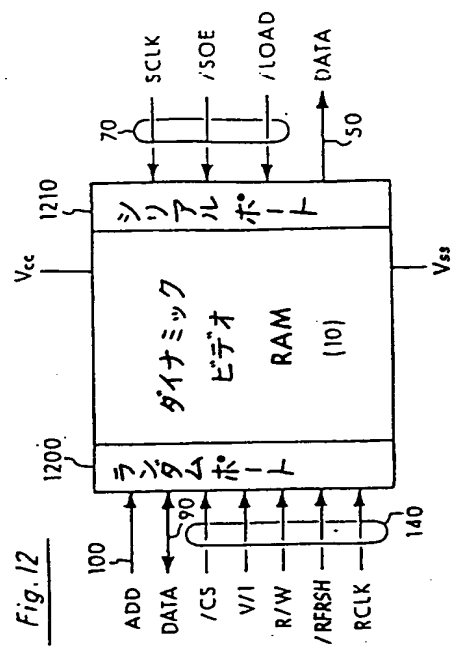
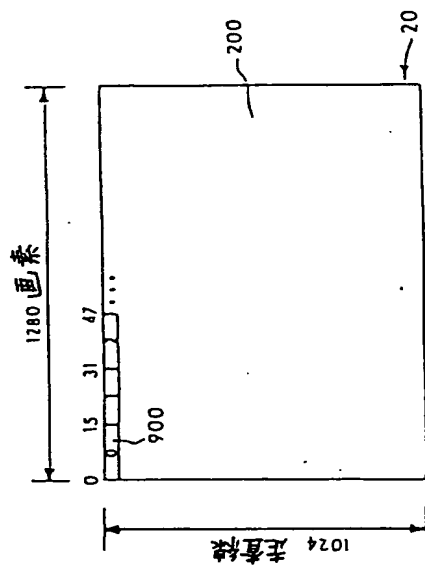
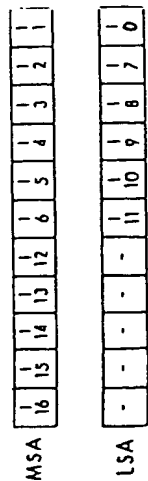
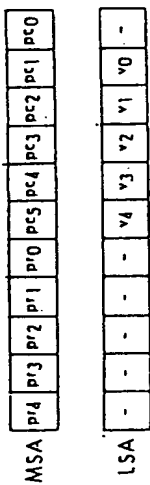
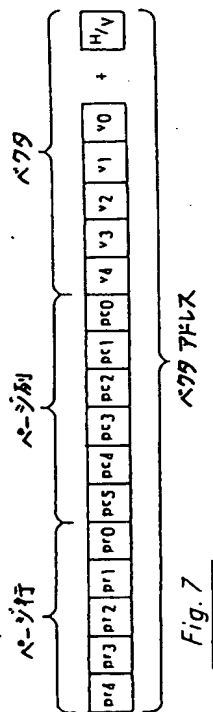
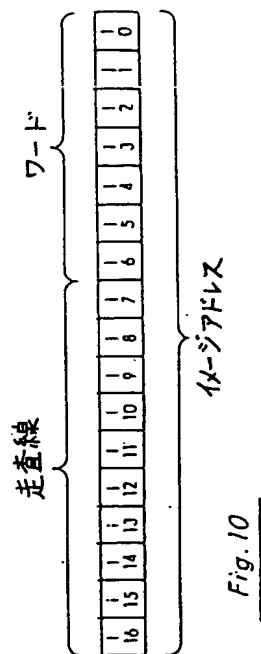
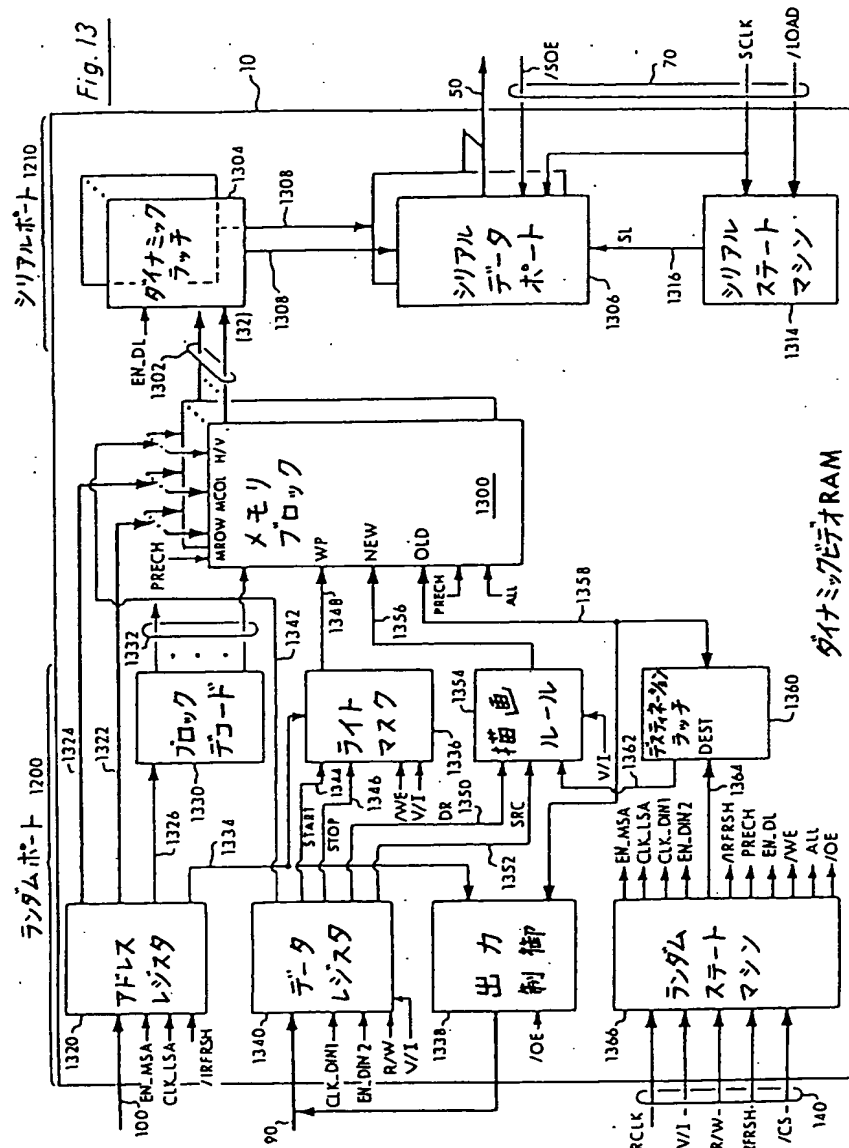
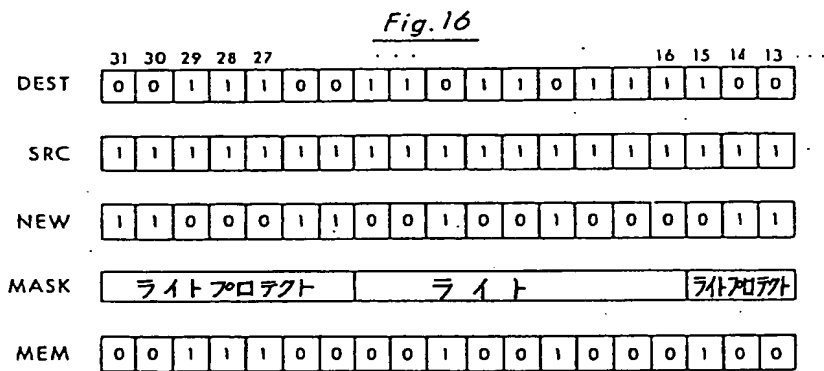
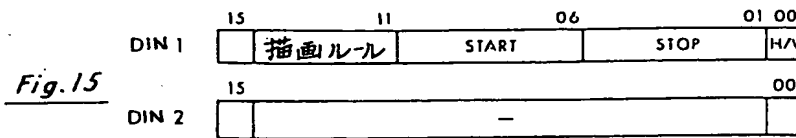
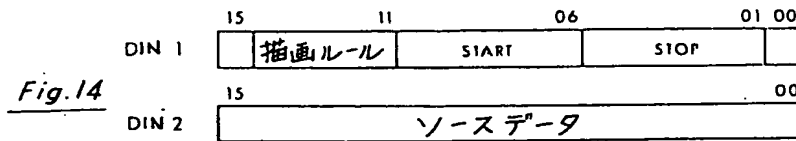


Fig. 6







ベクタライト

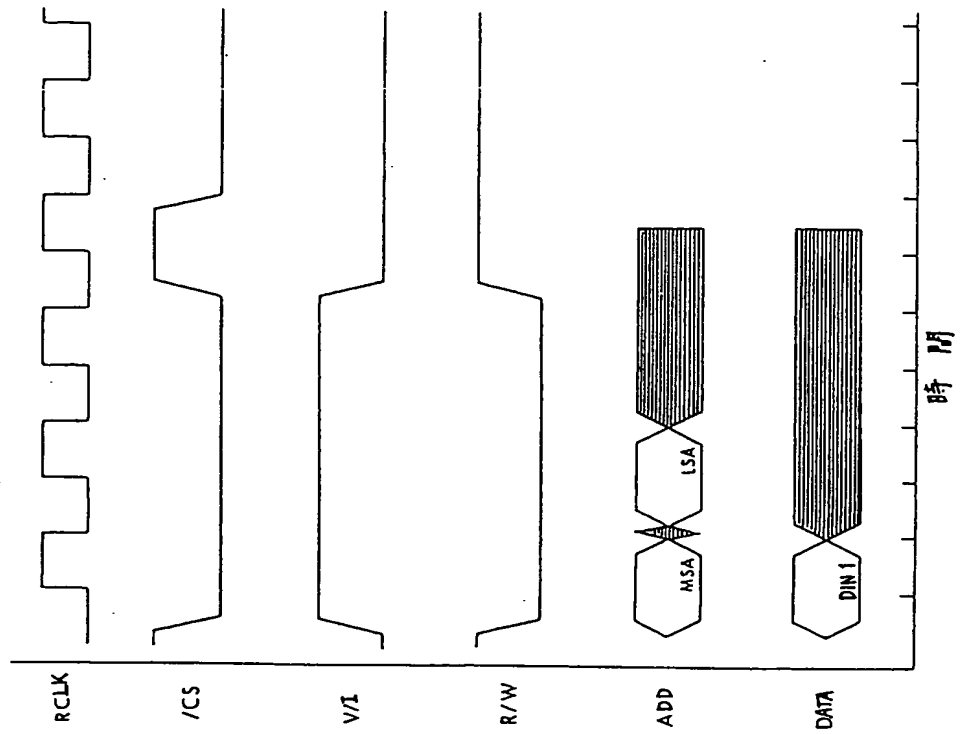


Fig. 19

シリアルデータ転送

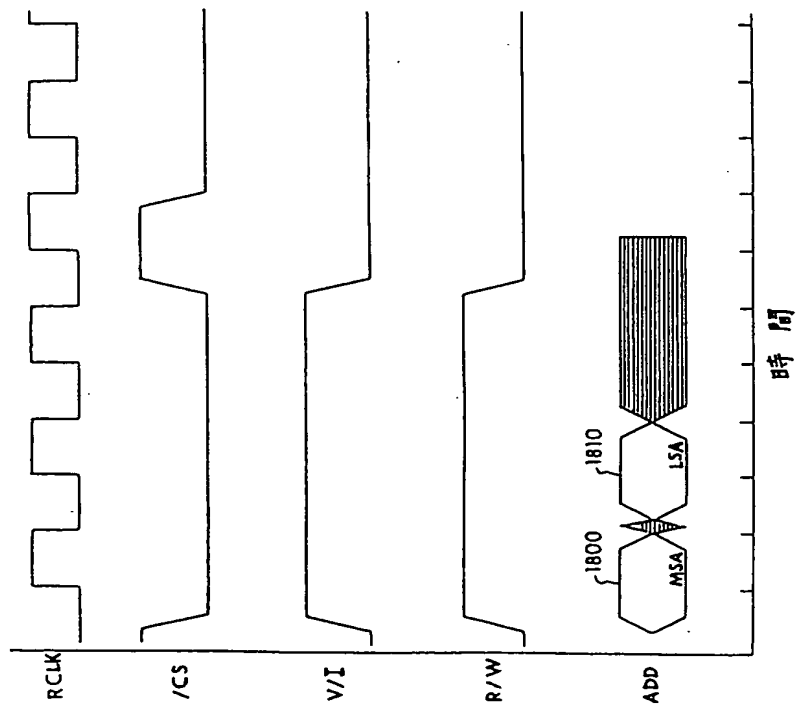


Fig. 18

ベクタライト - ページモード

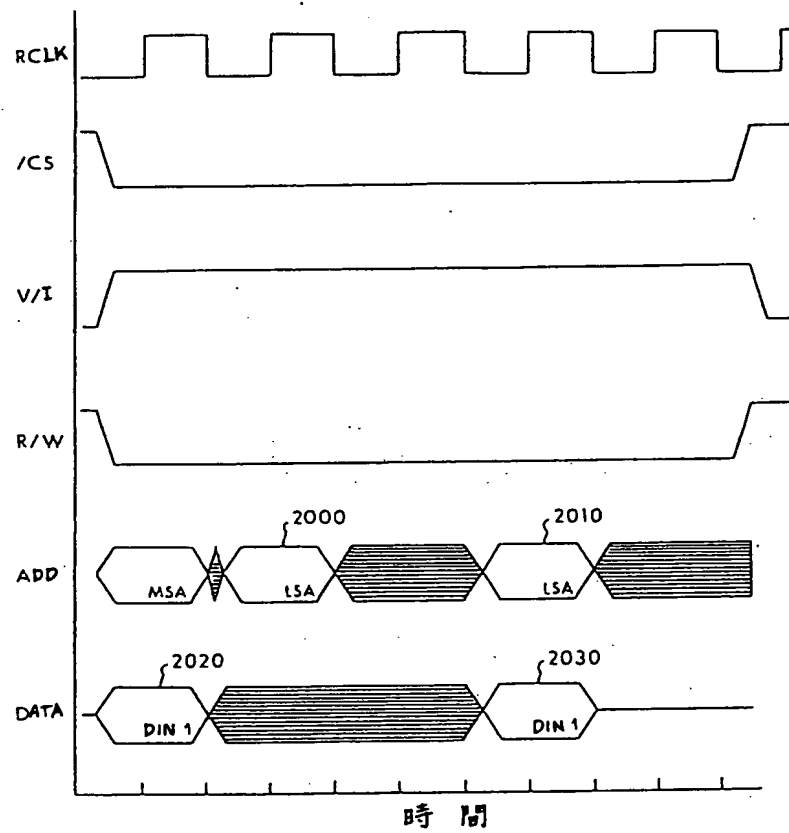
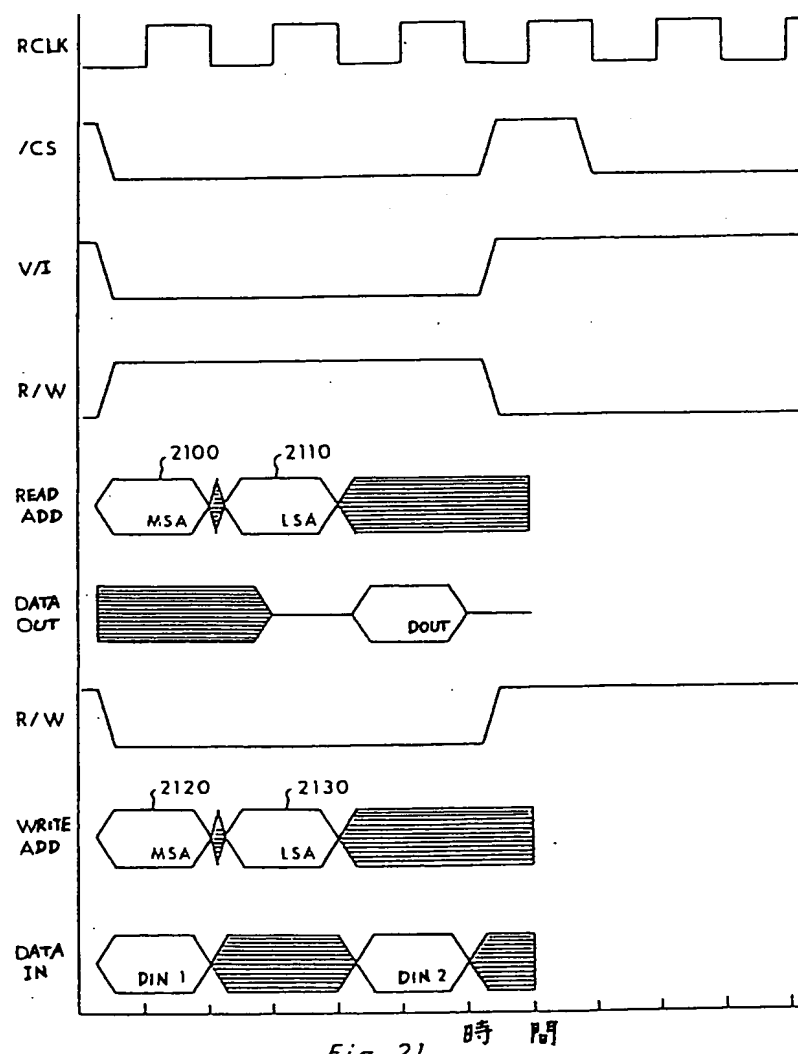


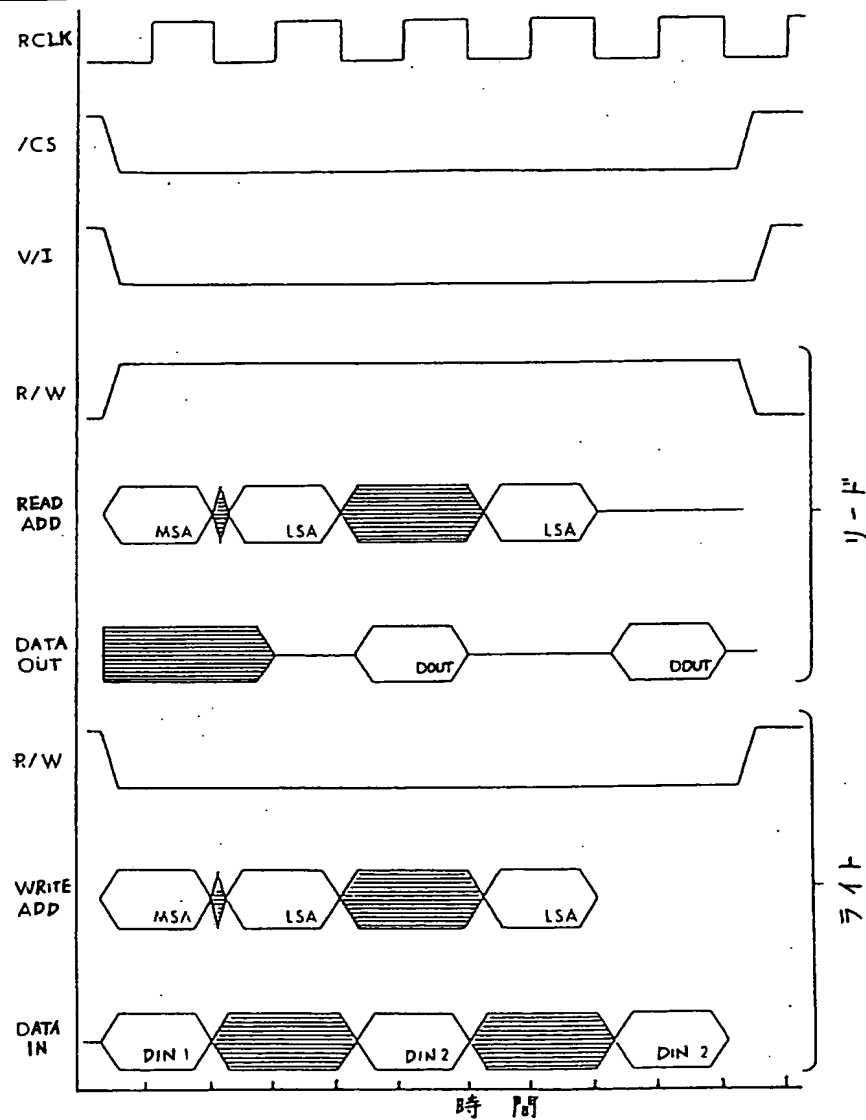
Fig. 20

イメージリード / ライト



イメージリード / ライトページモード

Fig. 22



イメージリード 変更ライト

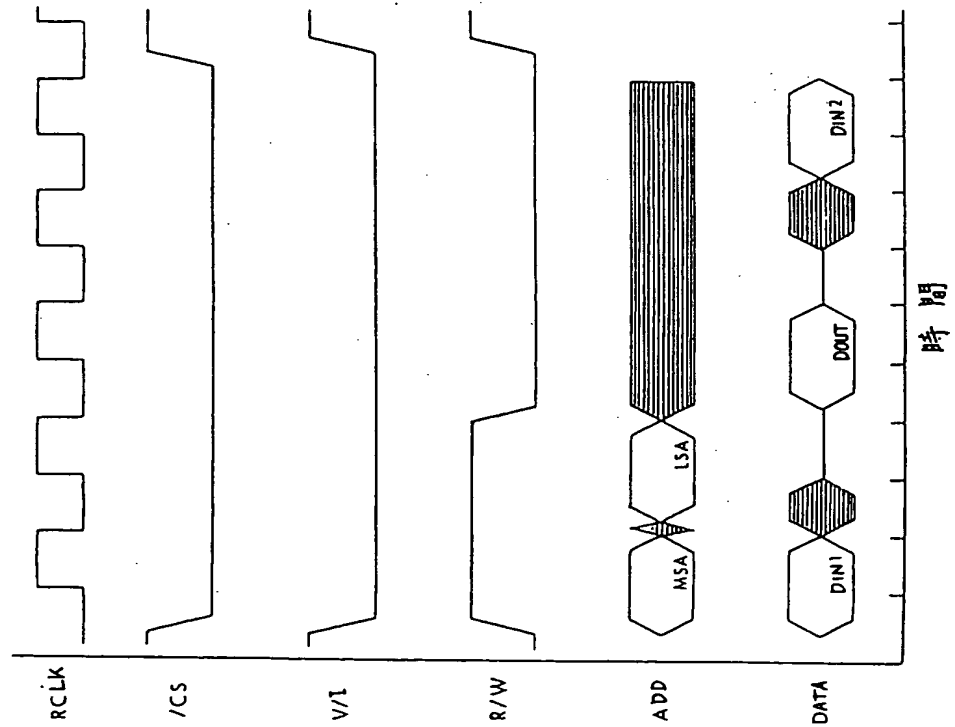


Fig. 23

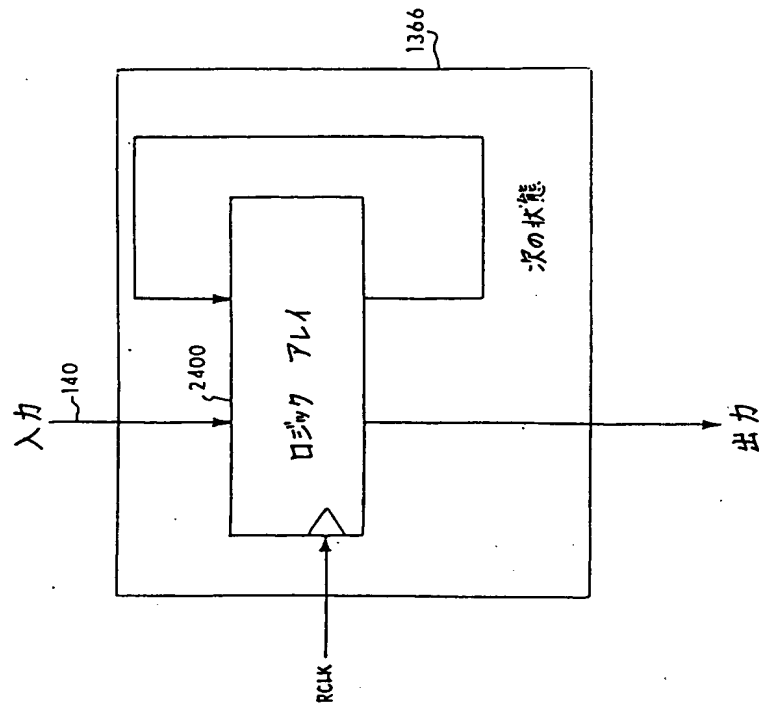


Fig. 24

Fig. 25

| 入力 | 状態 | 次状態 | 入力 | 状態 | 次状態 | 入力 | 状態 | 次状態 |
|------|------|------|------|------|------|------|------|------|
| 3210 | 3210 | 3210 | 3210 | 3210 | 3210 | 3210 | 3210 | 3210 |
| 00xx | 0000 | 0100 | 0101 | 0000 | 1000 | 0111 | 0000 | 0001 |
| 00xx | 0001 | xxxx | 0101 | 0001 | xxxx | 0111 | 0001 | 0011 |
| 00xx | 0010 | xxxx | 0101 | 0010 | xxxx | 0111 | 0010 | 0000 |
| 00xx | 0011 | xxxx | 0101 | 0011 | xxxx | 0111 | 0011 | 0010 |
| 00xx | 0100 | 0110 | 0101 | 0100 | xxxx | 0111 | 0100 | xxxx |
| 00xx | 0101 | xxxx | 0101 | 0101 | xxxx | 0111 | 0101 | xxxx |
| 00xx | 0110 | 0111 | 0101 | 0110 | xxxx | 0111 | 0110 | xxxx |
| 00xx | 0111 | 0000 | 0101 | 0111 | xxxx | 0111 | 0111 | xxxx |
| 00xx | 1000 | xxxx | 0101 | 1000 | 1100 | 0111 | 1000 | xxxx |
| 00xx | 1001 | xxxx | 0101 | 1001 | 1011 | 0111 | 1001 | xxxx |
| 00xx | 1010 | xxxx | 0101 | 1010 | xxxx | 0111 | 1010 | xxxx |
| 00xx | 1011 | xxxx | 0101 | 1011 | 1100 | 0111 | 1011 | xxxx |
| 00xx | 1100 | xxxx | 0101 | 1100 | 1101 | 0111 | 1100 | xxxx |
| 00xx | 1101 | xxxx | 0101 | 1101 | 1100 | 0111 | 1101 | xxxx |
| 00xx | 1110 | xxxx | 0101 | 1110 | xxxx | 0111 | 1110 | xxxx |
| 00xx | 1111 | xxxx | 0101 | 1111 | 1011 | 0111 | 1111 | xxxx |
| 0100 | 0000 | 1000 | 0110 | 0000 | 1000 | 1xxx | 0000 | 0000 |
| 0100 | 0001 | xxxx | 0110 | 0001 | xxxx | 1xxx | 0001 | 0000 |
| 0100 | 0010 | xxxx | 0110 | 0010 | xxxx | 1xxx | 0010 | 0000 |
| 0100 | 0011 | xxxx | 0110 | 0011 | xxxx | 1xxx | 0011 | 0000 |
| 0100 | 0100 | xxxx | 0110 | 0100 | xxxx | 1xxx | 0100 | 0000 |
| 0100 | 0101 | xxxx | 0110 | 0101 | xxxx | 1xxx | 0101 | 0000 |
| 0100 | 0110 | xxxx | 0110 | 0110 | xxxx | 1xxx | 0110 | 0000 |
| 0100 | 0111 | xxxx | 0110 | 0111 | xxxx | 1xxx | 0111 | 0000 |
| 0100 | 1000 | 1001 | 0110 | 1000 | 1001 | 1xxx | 1000 | 0000 |
| 0100 | 1001 | 1011 | 0110 | 1001 | 1011 | 1xxx | 1001 | 0000 |
| 0100 | 1010 | xxxx | 0110 | 1010 | xxxx | 1xxx | 1010 | 0000 |
| 0100 | 1011 | 1001 | 0110 | 1011 | 1111 | 1xxx | 1011 | 0000 |
| 0100 | 1100 | 1101 | 0110 | 1100 | 1101 | 1xxx | 1100 | 0000 |
| 0100 | 1101 | 1001 | 0110 | 1101 | 1001 | 1xxx | 1101 | 0000 |
| 0100 | 1110 | xxxx | 0110 | 1110 | xxxx | 1xxx | 1110 | 0000 |
| 0100 | 1111 | 1011 | 0110 | 1111 | 1011 | 1xxx | 1111 | 0000 |

入力 3 / CS
 入力 2 / RFRSH
 入力 1 V/I
 入力 0 R/W